Logos2/Titan2 系列产品 SEU IP

用户指南

（UG042001,V1.8）

（2023-04-28）

深圳市紫光同创电子有限公司

文档版本修订记录

日期	文档版本	修订记录	适用 IP 及对应版本
2020-03-02	V1.0-1	1. 初始版本。	V1.0
2020-04-13	V1.0-2	1. 第三章，顶层接口说明更新，删除复位端口，删除 seu 检测和 crc 回读控制端口，增加控制和监控接口，增加外部存储器接口； 2. 第四章，增加 IP 性能、工作状态、纠错模式、接口功能等内容，操作流程更新； 3. 增加第五章，SEU IP 生成步骤； 4. 第六章，应用实例设计框图、模块说明、目录说明更新。	V1.0
2020-05-12	V1.1-1	1. 增加 IP 性能章节； 2. 增加控制和监控接口、外部存储器接口时序图； 3. 格式整理。	V1.1
2020-07-04	V1.1-2	1. 删除四.(三).1 中相关内容； 2. 增加位流生成注意事项； 3. 增加 Debug 接口描述； 4. 增加错误地址范围描述； 5. 修改 SEU IP 功能框图及描述，修改顶层接口说明； 6. 修改应用实例中的设计框图； 7. 删除应用实例中被移除的模块说明； 8. 更新 IP 生成的图例。	V1.1
2020-07-18	V1.1-3	1. 修改 o_chck_tick 接口说明。	V1.1
2020-10-30	V1.2	1. 总体介绍增加 CRC 可配置； 2. 四(一)增加了新器件 PG2T330H； 3. 四(二)初始化过程增加了 CRC 配置说明； 4. 五(一)、五(二)界面更新，并增加了列表增加 CRC 配置选项； 5. 七(四)注意事项增加了仿真 flash.txt 文件说明； 6. 此次 1.2 之后的 UG 版本更新将和 IP 版本的更新配套。	V1.2
2020-12-30	V1.3	1. 五(一)(二)更新了选择和配置的配图。	V1.3
2021-03-15	V1.3b	1. 七(四)修改了 Replace 功能相关； 2. 修改了器件名，将 PG2T330H 更新为 PG2T390H； 3. 更新了第二章，第六章第一节的图示。	V1.3b
2021-03-16	V1.3c	1. 修改了 UG 1.3b 的修订记录。	V1.3c
2021-04-01	V1.3d	2. 更新了版本号相关图示； 3. 更新了第二章的图示，删除了第二章	V1.3d

日期	文档版本	修订记录	适用 IP 及对应版本
		GTP_IOCLKDIV_E2 相关解释； 4. 更新了第四章第二节对于初始化状态的描述； 5. 增加了第四章第四节 cram 地址范围文本说明； 6. 修改了第六章第一节的设计框图； 7. 增加了第六章第二节 GTP_IOCLKDIV_E2 模块相关解释。	
2021-04-30	V1.4	1. 修改了第一章功能介绍； 2. 修改了第四章第一节对 IP 性能的说明； 3. 修改了第四章第二节对初始化的描述； 4. 修改了第四章第三节对 Replace 功能的描述； 5. 修改了第四章第四节第二小节对错误报告的描述； 6. 修改了相关 IPC 界面截图和配置说明； 7. 增加了第五章第二节 IP 配置的选项表格； 8. 修改了第五章第二节 IP 配置的注释信息。	V1.4
2021-07-14	V1.4b	1. 第一章中总体介绍中，修改了 CRC 检错粒度说明； 2. 修改了第三章修改了顶层接口信号说明； 3. 修改了第四章第一节 IP 性能的说明； 4. 在第四章第二节工作状态的描述中，增加了 CRC 粒度为全 CRAM 时的说明； 5. 修改了第四章第三节中 Replace 功能的说明； 6. 修改了第四章第四节对监控控制接口的说明； 7. 修改了第四章第五节中，对检错纠错的说明； 8. 修改了第五章第二节 IP 配置的注释； 9. 修改了第五章第二节 IP 配置的使用说明； 10. 修改了手册的用户界面截图。	V1.4b
2021-07-26	V1.4c	1. 调整手册架构，简化描述，规范格式； 2. 文档版本修订记录添加“适用 IP 及对应版本”说明列； 3. 添加 IP 版本变更记录； 4. 添加“2.3.5　资源利用”； 5. 添加针对器件风险区域的剔帧说明，参见“2.1.3 3　CRAM 帧回读校验”； 6. 完善状态接口说明，参见“2.5.1 5　状态接口”； 7. 完善针对错误检测报告中错误地址的说明，	V1.4c

日期	文档版本	修订记录	适用 IP 及对应版本
		参见“2.5.2 2(3) 输出报告”； 8. 添加“2.9 IP 调试手段”； 9. 完善 ECC 错误分类描述，划分为单比特错误和多比特错误； 10. 完善模块说明，参见“2.4.2 1 seu_uart_ctrl 模块”； 11. 更新顶层接口信号说明，参见表 2-13； 12. 更新 IP 生成文件说明，参见表 2-6； 13. 增加了屏蔽帧使用说明，参见“2.8.13 SEU IP 屏蔽帧使用说明”。	
2021-10-12	V1.5	1. 增加 V1.5 版本对应的 IP 版本变更记录； 2. 规范文档版本修订记录、IP 版本变记录格式、修正文档版本号笔误； 3. 统一单比特、多比特相关描述； 4. 更新行文规范说明列表名称，增加“推荐”类说明，参见表 1-1； 5. 规范 IP 适用器件描述，参见表 2-2； 6. 规范最大时钟频率表格格式，参见表 2-3； 7. 规范时间单位拼写，参见表 2-4； 8. 更新 CRAM 帧回读校验说明，参见“2.1.3 3 CRAM 帧回读校验”； 9. 完善模块例化相关描述，更新 IP 选择路径界面截图及配置 SEU IP 参数界面截图，添加 PDS 版本推荐使用说明，参见“2.3.1 模块例化”； 10. 完善配置选项说明，增加 IP 界面配置参数默认值描述，参见表 2-6； 11. 修改了 IP 生成后输出文件列表，参见表 2-7； 12. 完善资源利用数据表格，增加不同 CRC 检错粒度配置下的资源利用数据，参见表 2-8； 13. 完善 Debug 接口信号描述，参见表 2-15； 14. 完善时序图中相关时钟信号描述，参见“2.5.2 顶层接口描述”； 15. 增加 LVDS 区域帧屏蔽说明，参见“2.8.13 SEU IP 屏蔽帧使用说明”。 16. 增加了器件 CRAM 地址结构说明，参见“表 2-7 IP 生成后的输出文件”。	V1.5
2021-11-24	V1.5a	1. 增加 V1.5a 版本对应的 IP 版本变更记录； 2. 规范表格样式； 3. 增加输入端口 i_seu_auto_en，同步更新 SEU IP 系统框图、接口框图、Global 接口列表，	V1.5a

日期	文档版本	修订记录	适用 IP 及对应版本
		参见图 2-1、图 2-4、表 2-10； 4. 更新 SEU IP 配置参数界面，完善显示内容，同步更新界面截图及对应的配置参数说明，参见图 2-5、表 2-6； 5. 配置参数说明列表添加“IP 配置界面默认值”列，更新列表名称，参见表 2-6； 6. 完善 IP 生成后的输出文件列表，添加适用器件的 SEU 屏蔽区域坐标文件，参见表 2-7； 7. 更新 SEU IP 基于各适用器件的最大资源利用表，统计 ips2l_seu_top 资源修改为统计 ips2l_seu_wrapper 资源，参见表 2-8； 8. 更新 Example Design 系统框图，增加 i_seu_auto_en 端口连接标识，同步更新相关文字描述，参见“2.4.1 设计框图”； 9. 更新 Example Design 目录说明列表，增加 ips2l_seu_debounce.v 文件说明，参见表 2-9； 10. 更新初始化状态报告说明的生成场景描述，和 IP 设计一致，参见表 2-19； 11. 更新外部存储器仿真文件说明注意事项，参见“2.8.11 外部存储器仿真文件说明”。	
2022-04-12	V1.6	1. 增加 V1.6 版本对应的 IP 版本变更记录； 2. 完善 IP 系统框图和 Example Design 系统框图，更新框图中的模块标识，同步更新正文中模块相关文字描述，参见“2.2 IP 框图”、“2.4.1 设计框图”、“2.4.2 模块说明”； 3. 精简接口说明类表格文本描述； 4. 增加 PG2L50H 器件的支持 CRC 检错粒度配置说明，精简支持错误纠正模式配置说明文本描述，参见表 2-1； 5. 更新 SEU IP 适用器件及封装，参见表 2-2； 6. 更新最大时钟频率表格内支持的器件，参见表 2-3； 7. 更新操作时间说明，增加 PG2L50H 器件对应的各操作时间及说明，参见表 2-4； 8. 更新 CRAM 帧回读校验说明，增加 PG2L50H 器件的相关描述，参见表 2-5； 9. 更新 SEU IP 参数界面截图，同步更新配置参数说明文本描述，参见图 2-5 和表 2-6； 10. 更新软件使用版本，参见“注意”； 11. 更新 IP 生成后的输出文件，参见表 2-7；	V1.6

日期	文档版本	修订记录	适用 IP 及对应版本
		12. 更新 SEU IP 基于各适用器件的资源利用典型值，新增 PG2L50H 器件相关配置的资源利用说明，参见表 2-8； 13. 完善 ips2l_seu_top.fdc 文件约束对应的板卡说明，参见表 2-9； 14. 增加错误注入地址注意描述，参见“注意”； 15. 更新初始化状态报告说明，参见表 2-19； 16. 2 注意事项中的 IO 约束，增加器件描述，参见“2.8.3 IO 约束”； 17. 新增 PG2L50H 器件的 CRAM 地址空间描述文件说明，参见表 2-29。	
2023-01-10	V1.7	1. 增加 V1.7 版本对应的 IP 版本变更记录； 2. 更新 SEU IP 主要特性“支持 CRC 检错粒度配置”，新增 PG2L25H、PG2L200H 和 PG2L100HX 器件描述，参见表 2-1； 3. 更新 SEU IP 适用器件及封装，参见表 2-2； 4. 更新最大时钟频率支持器件，参见表 2-3； 5. 更新操作时间说明，增加 PG2L25H、PG2L200H 和 PG2L100HX 器件对应的各操作时间及说明，参见表 2-4； 6. 更新 CRAM 帧回读校验说明，增加 PG2L25H、PG2L200H 和 PG2L100HX 器件的相关描述，参见表 2-5； 7. 更新各器件适用的软件版本，参见“注意”； 8. 更新 IP 生成后的输出文件，参见表 2-7； 9. 更新 SEU IP 基于各适用器件的资源利用典型值，新增 PG2L25H、PG2L200H 和 PG2L100HX 器件相关配置的资源利用说明，参见表 2-8； 10. 完善 Example Design 设计约束管脚的参考板卡说明，参见“2.4 Example Design”； 11. 更新 Example Design 目录说明，参见表 2-9； 12. 添加 i_seu_auto_en 信号说明，参见“注意”； 13. 完善 o_st_uncorr 信号说明，参见表 2-14； 14. 添加 o_fsm_debug 信号说明，参见表 2-15； 15. 完善 IDLE 状态报告生成场景描述，参见表 2-22； 16. 新增 PG2L25H、PG2L200H 和 PG2L100HX 器件的 CRAM 地址空间描述文件说明，参见表 2-29； 17. 新增 TLR 说明，参见“3.2 术语表”。	V1.7

日期	文档版本	修订记录	适用 IP 及对应版本
2023-04-28	V1.8	1. 增加 V1.8 版本对应的 IP 版本变更记录； 2. 适配 PG2T390HX 器件，同步更新主要特性列表、最大时钟频率列表、操作时间说明、CRAM 地址空间描述文件说明，参见表 2-1、表 2-3、表 2-4、表 2-29； 3. 更新适用器件及封装，参见表 2-2； 4. 更新 CRAM 帧回读校验说明，更新 PG2L50H、PG2T390HX 器件的相关描述，参见表 2-5； 5. 更新软件版本说明，参见“注意”； 6. 更新配置 IP 参数界面，参见图 2-5； 7. 更新 IP 生成后的输出文件，新增 PG2L50H 器件 SEU 屏蔽区域坐标文件，完善器件相关描述，参见表 2-7； 8. 更新资源利用典型值，参见表 2-8。	V1.8

IP 版本变更记录

IP 版本	更新说明	发布时间
V1.0	1. PG2L SEU IP 初始版本。	2020-03-12
V1.2	1. 适配 PG2T330H 器件； 2. 新增 CRC 检测功能可配置。	2020-10-30
V1.3b	1. 更换部分长度过 2 长的文件名（包含路径）； 2. 删除模型文件“s25fl512s.v”，UG 对此进行说明； 3. 更换 SEU 的 DRM 模块； 4. 需要给出 390h 的 nonfunction 的地址； 5. 处理时钟切换模块的方案更换。	2021-03-13
V1.3d	1. 修改 clkdiv 模块位置； 2. 修改 CRC 初始化功能和心跳功能。	2021-04-01
V1.4	1. 增加 CRC 校验粒度可以使能为 2。	2021-04-30
V1.4b	1. 增加 CRC 校验粒度可以设置为全 CRAM； 2. 修改 Repair 模式下的错误分类； 3. 隐藏关闭 crc 功能时，其相关代码； 4. 修改了时序约束； 5. 规避 PG2T390H 和 PG2L100H 的风险区域； 6. 修改了 IP 时钟频率相关限制。	2021-07-14
V1.4c	1. 调整手册架构，简化描述，规范格式； 2. 对 IP 输出接口信号 o_seu_err_enable_repair 和 o_seu_err_unable_repair 修改了产生逻辑，以排除误报风险。	2021-07-26
V1.5	1. 增加了 PG2T390H 可选扫描区域； 2. 增加了 PG2T390H、PG2L100H 固定扫描剔除区域； 3. UG 更新。	2021-10-12
V1.5a	1. 支持 SEU 根据 JTAG 接口的状态，自动进入 IDLE 状态和恢复到检错状态； 2. IP 例化界面的 IP Configuration Summary 增加 PG2T390H 的 LVDS Scan 参数值； 3. 输出 SEU 屏蔽区域坐标文件； 4. UG 更新。	2021-11-24
V1.6	1. 适配 PG2L50H 器件； 2. 完善错误注入地址在屏蔽区域的异常处理； 3. 修改 Example Design 顶层 exp_uart_ctrl 模块的复位控制； 4. UG 更新。	2022-04-12
V1.7	1. 完善 IP 的状态接口信号 o_st_corr 的产生逻辑，防止误报； 2. core only 工程中新增 core_only_top 层，减少 IO； 3. 删除 IP 顶层未开放的 i_rst_n 信号； 4. 更新 PG2L100H/PG2L100HX 和 PG2T390H 的非功能位地址，添加了 PG2L25H 和 PG2L200H 的 cram_addr 信息； 5. 新增 PG2L25H、PG2L200H 和 PG2L100HX 的 region 约束； 6. 适配 PG2L25H、PG2L200H 和 PG2L100HX 器件；	2023-01-10

IP 版本	更新说明	发布时间
	7. UG 更新。	
V1.8	1. 完善 IP 内部 FIFO 的复位信号 rst_fifo 逻辑，防止产生毛刺； 2. 增加了 PG2L50H 固定扫描剔除区域； 3. 适配 PG2T390HX 器件； 4. 新增 PG2T390HX 的 region 约束； 5. 新增 PG2L50H、更新 PG2T390H/PG2T390HX 的屏蔽区域坐标文件； 6. 更新 UI 界面时钟频率范围显示； 7. UG 更新。	2023-04-28

目录

表目录

图目录

第1章 前言

本章讲述本手册的适用范围、手册结构及相关行文规范，帮助用户快速查找所需的信息。

1.1 背景介绍

当高能亚原子粒子穿越大规模电路存储单元（触发器、寄存器单元或 RAM 单元）中的硅时，会伴随着自由电荷的产生。这些电荷在极短的时间间隔内会聚集在电路节点中，当电荷聚集超过一定程度，存储的数据就会改变，造成系统出错。由于它对电路的损害不是永久性的，所以这种现象称为软失效。

在 FPGA 器件中，涉及四类存储类型：配置存储单元、DRM 存储单元、分布式存储单元和触发器。即，在这四类存储单元中均会有发生软失效的可能。SEU IP 则是基于器件中 CCS 的检错电路，针对配置存储单元的软失效进行设计的 IP，用于帮助用户缓解系统软失效问题。

1.2 关于本手册

本手册为紫光同创推出的 SEU IP 的用户指南。该 IP 基于 Logos2、Titan2 系列 FPGA 产品 CCS 资源实现。本手册内容主要包括 IP 使用指南及相关附录。通过本手册用户可以快速了解 SEU IP 相关特性及使用方法。

1.3 手册行文规范

表 1-1 行文规范说明

文字	使用原则
注意	若用户忽略注意内容，可能会因误操作而带来一定的不良后果或者无法成功操作。
说明	提供给用户的说明和提示。
推荐	推荐给用户的设置和使用说明。

第2章 IP 使用指南

本章讲述 SEU IP 相关使用指南，内容包括 IP 简介、IP 框图、IP 生成流程、Example Design、IP 接口描述、说明与注意事项、IP 调试手段。更多设计流程相关详细信息可以参见下述 PDS 帮助文档。

- *Pango_Design_Suite_Quick_Start_Tutorial*[1]
- *Pango_Design_Suite_User_Guide*[2]
- *IP_Compiler_User_Guide*[3]
- *Simulation_User_Guide*[4]

2.1 IP 简介

SEU IP 是紫光同创推出的一款针对 CRAM 软失效问题的 IP，基于 Logos2、Titan2 系列 FPG2A 产品 CCS 资源实现对 CRAM 的检错、纠错、命令输入及状态输出，可通过公司 PDS (Pango Design Suite) 套件中的 IPC (IP Compiler) 工具完成 IP 模块的配置和生成。

2.1.1 主要特性

表 2-1 SEU IP 主要特性

功能特性	特性说明
支持功能初始化	-
支持 ECC 校验	单比特 ECC 校验。
	多比特 ECC 校验。
支持 CRC 校验使能配置	可配置为开启/关闭。
支持 CRC 检错粒度配置	PG2L25H：单帧和全 CRAM。
	PG2L50H：单帧和全 CRAM。
	PG2L100H/ PG2L100HX：单帧和全 CRAM。
	PG2L200H：单帧和全 CRAM。
	PG2T390H/ PG2T390HX：单帧、双帧和全 CRAM。
支持错误纠正使能配置	可配置为开启/关闭。
支持错误纠正模式配置	Repair 模式：单比特错误纠错。
	Replace 模式：单比特错误/多比特错误/CRC 错误（非全 CRAM）纠错。
支持心跳功能	-
支持错误注入	-
支持错误报告	-

注：“-”表示无该项说明。

2.1.2 适用器件及封装

表 2-2 SEU IP 适用器件及封装

适用器件	支持封装类型
PG2L25H	ALL
PG2L50H	ALL
PG2L100H	ALL
PG2L100HX	ALL
PG2L200H	ALL
PG2T390H	ALL
PG2T390HX	ALL

2.1.3 IP 性能

1. 最大时钟频率

i_seu_clk 频率在任何情况下不得超过规定的最大频率。

表 2-3 最大时钟频率

<table>
<tr><th>器件</th><th>i_seu_clk 最大频率</th></tr>
<tr><td>PG2L25H</td><td rowspan="7">10MHz</td></tr>
<tr><td>PG2L50H</td></tr>
<tr><td>PG2L100H</td></tr>
<tr><td>PG2L100HX</td></tr>
<tr><td>PG2L200H</td></tr>
<tr><td>PG2T390H</td></tr>
<tr><td>PG2T390HX</td></tr>
</table>

2. 时间消耗

i_seu_clk 为 3.125MHz 情况下各操作的时间消耗参见表 2-4，其他时钟频率下的时间消耗需要按照 i_seu_clk 频率与 3.125MHz 的比值进行线性换算。

表 2-4 3.125MHz 时钟频率下操作时间说明

器件名	操作类型	时间消耗[1]	说明
PG2L25H	初始化	121.7ms	IP 执行初始化操作的时间。
	错误检测	121.7ms	没有检测到错误的情况下整个 CRAM 检测一次的时间。
	错误注入	313.6μs	执行一次错误注入操作的时间。
	错误 Repair	193.6μs	检测到单比特错误时，执行一帧数据纠错的时间。
	错误 Replace	193.6μs + “回读外部存储器时间”	回读外部存储器时间取决于外部存储器回读方式、时钟频率等条件。单比特错误、多比特错误和 CRC Only 错误纠错时间相同。
PG2L50H	初始化	225.6ms	IP 执行初始化操作的时间。
	错误检测	225.6ms	没有检测到错误的情况下整个 CRAM 检测一次的时间。
	错误注入	313.6μs	执行一次错误注入操作的时间。
	错误 Repair	193.6μs	检测到单比特错误时，执行一帧数据纠错的时间。
	错误 Replace	193.6μs + “回读外部存储器时间”	回读外部存储器时间取决于外部存储器回读方式、时钟频率等条件。单比特错误、多比特错误和 CRC Only 错误纠错时间相同。
PG2L100H /PG2L100HX	初始化	404.8ms	IP 执行初始化操作的时间。
	错误检测	404.8ms	没有检测到错误的情况下整个 CRAM 检测一次的时间。
	错误注入	313.6μs	执行一次错误注入操作的时间。
	错误 Repair	193.6μs	检测到单比特错误时，执行一帧数据纠错的时间。
	错误 Replace	193.6μs + “回读外部存储器时间”	回读外部存储器时间取决于外部存储器回读方式、时钟频率等条件。单比特错误、多比特错误和 CRC Only 错误纠错时间相同。
PG2L200H	初始化	956.9ms	IP 执行初始化操作的时间。
	错误检测	956.9ms	没有检测到错误的情况下整个 CRAM 检测一次的时间。
	错误注入	313.6μs	执行一次错误注入操作的时间。
	错误 Repair	193.6μs	检测到单比特错误时，执行一帧数据纠错的时间。
	错误 Replace	193.6μs + “回读外部存储器时间”	回读外部存储器时间取决于外部存储器回读方式、时钟频率等条件。单比特错误、多比特错误和 CRC Only 错误纠错时间相同。

1 该时间消耗没有将通过接口发送命令需要的时间计算在内。

<table>
<tr><th>器件名</th><th colspan="2">操作类型</th><th>时间消耗[1]</th><th>说明</th></tr>
<tr><td rowspan="6">PG2T390H / PG2T390HX</td><td colspan="2">初始化</td><td>1412.7ms</td><td>IP 执行初始化操作的时间。</td></tr>
<tr><td colspan="2">错误检测</td><td>1412.7ms</td><td>没有检测到错误的情况下整个 CRAM 检测一次的时间。</td></tr>
<tr><td colspan="2">错误注入</td><td>313.6μs</td><td>执行一次错误注入操作的时间。</td></tr>
<tr><td colspan="2">错误 Repair</td><td>193.6μs</td><td>检测到单比特错误时，执行一帧数据纠错的时间。</td></tr>
<tr><td rowspan="2">错误 Replace</td><td>类型 1</td><td>193.6μs + “回读 1 帧数据外部存储器时间”</td><td>回读外部存储器时间取决于外部存储器回读方式、时钟频率等条件。单比特错误、多比特错误和粒度为单帧的 CRC Only 错误纠错时间相同。</td></tr>
<tr><td>类型 2</td><td>387.2μs + “回读 2 帧数据外部存储器时间”</td><td>回读外部存储器时间取决于外部存储器回读方式、时钟频率等条件。粒度为双帧的 CRC Only 错误的纠错时间。</td></tr>
</table>

3. CRAM 帧回读校验

针对器件风险区域的 CRAM 帧，SEU IP 不会对其进行回读校验，以降低对该风险区域信号的影响。详细信息参见表 2-5。

表 2-5 CRAM 帧回读校验说明

器件	未回读校验比例[2]	对应 SEU IP 默认设置
PG2L25H	0%	未剔除任何帧。
PG2L50H	17.78%	会剔除对应风险区域的帧。
PG2L100H	12.42%	会剔除对应风险区域的帧。
PG2L100HX	12.42%	会剔除对应风险区域的帧。
PG2L200H	0%	未剔除任何帧。
PG2T390H	12.37%	会剔除对应风险区域的帧。
PG2T390HX	12.37%	会剔除对应风险区域的帧。

2 未做回读校验的 CRAM 帧有效 Bit 占全芯片配置数据的比例。

2.2 IP 框图

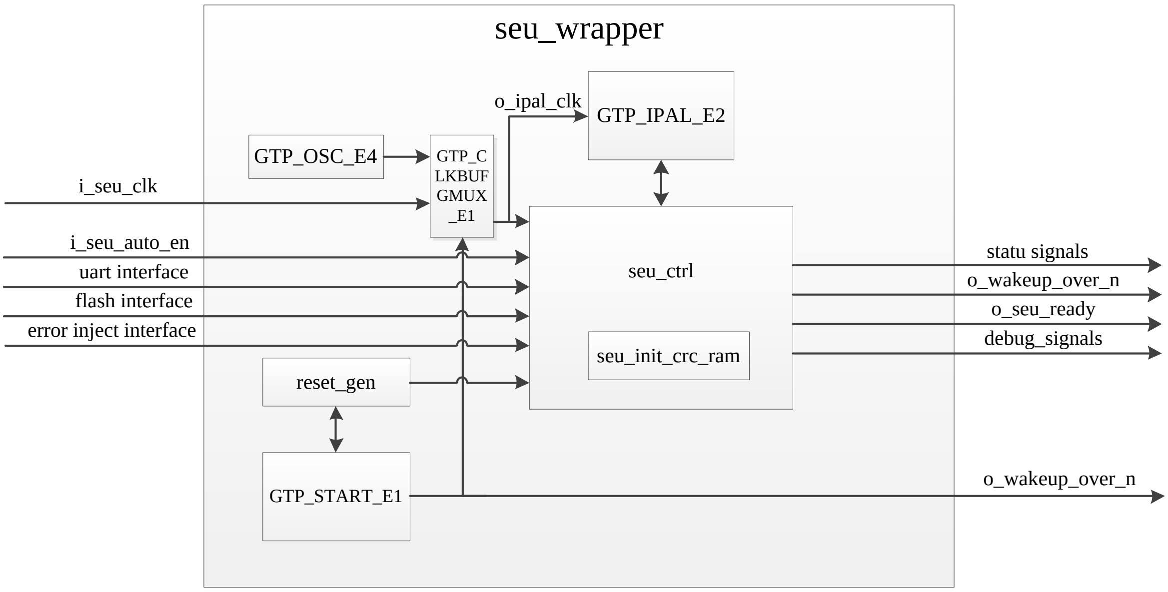


图 2-1 SEU IP 系统框图

SEU IP 系统框图如图 2-1 所示，主要由如下几部分构成：

- seu_ctrl：SEU 控制器，接收用户控制，执行错误注入、SEU 检错纠错、状态上报等功能，并产生相应的状态信号。
- seu_init_crc_ram：初始化过程中 CRC 初始值存储 RAM。
- GTP_IPAL_E2：内部从并行接口，通过该接口进行 FPGA CRAM 控制。
- GTP_START_E1：产生 FPGA 唤醒指示信号。
- reset_gen：复位产生模块。
- GTP_OSC_E4：产生 osc_clk 时钟信号。
- GTP_CLKBUFGMUX_E1：时钟选择模块。

2.3 IP 生成流程

2.3.1 模块例化

通过 IPC 工具可以完成 SEU IP 的定制化配置，例化生成所需的 IP 模块。关于 IPC 工具的具体使用方法，请参见 *IP_Compiler_User_Guide*[3]。

SEU IP 模块例化的主要操作步骤描述如下。

1. 选择 IP

打开 IPC，在主窗口中点击 File->Update 打开 Update IP 对话框，添加对应版本的 IP 模型。

选择 FPGA 的器件类型之后 Catalog 界面可以显示已装载的 IP 模型。选取 System/SEU 目录下对应的 IP 版本，IP 选择路径界面如图 2-2 所示。然后在右侧页面设置 Pathname 和 Instance Name 名称，工程例化界面如图 2-3 所示。

注意：

- PG2L25H、PG2L50H：软件必须使用 2022.1 及以上版本。
- PG2L100H、PG2T390H：软件必须使用 2021.1-SP6.5 及以上版本。
- PG2L200H：软件必须使用 2022.2 及以上版本。
- PG2L100HX、PG2T390HX：软件必须使用 2023.1 及以上版本。

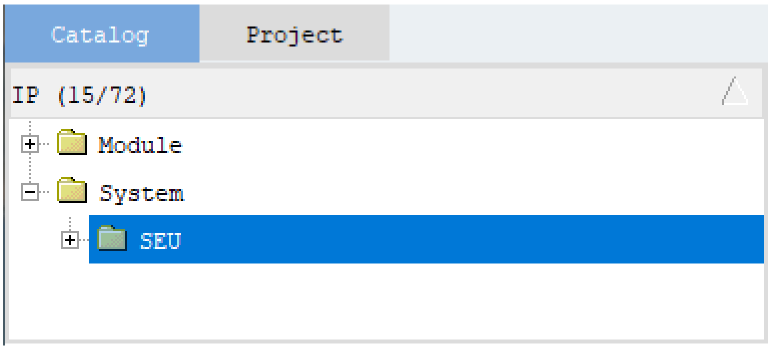


图 2-2 SEU IP 选择路径界面

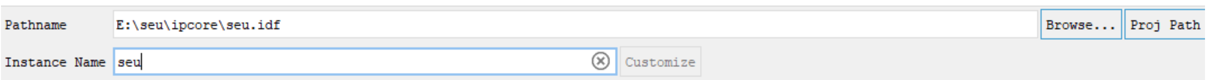


图 2-3 工程例化界面

2. 配置 IP

IP 选择完成后点击 <Customize> 进入 SEU IP 配置界面。左边 Symbol 为接口框图，如图 2-4 所示；右边为配置窗口，如图 2-5 所示。

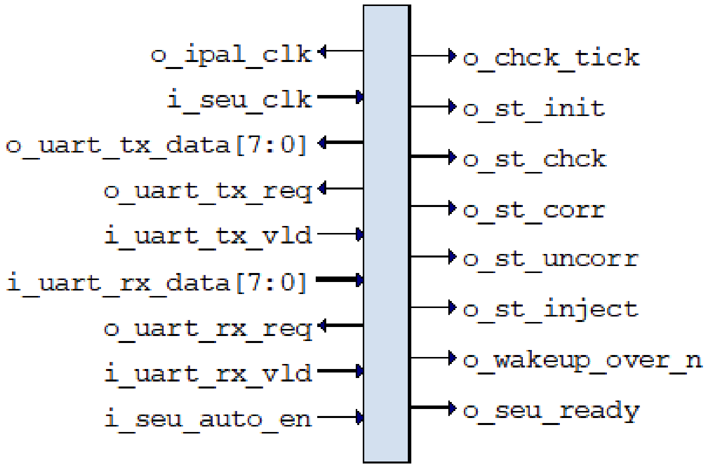


图 2-4 SEU IP 接口框图

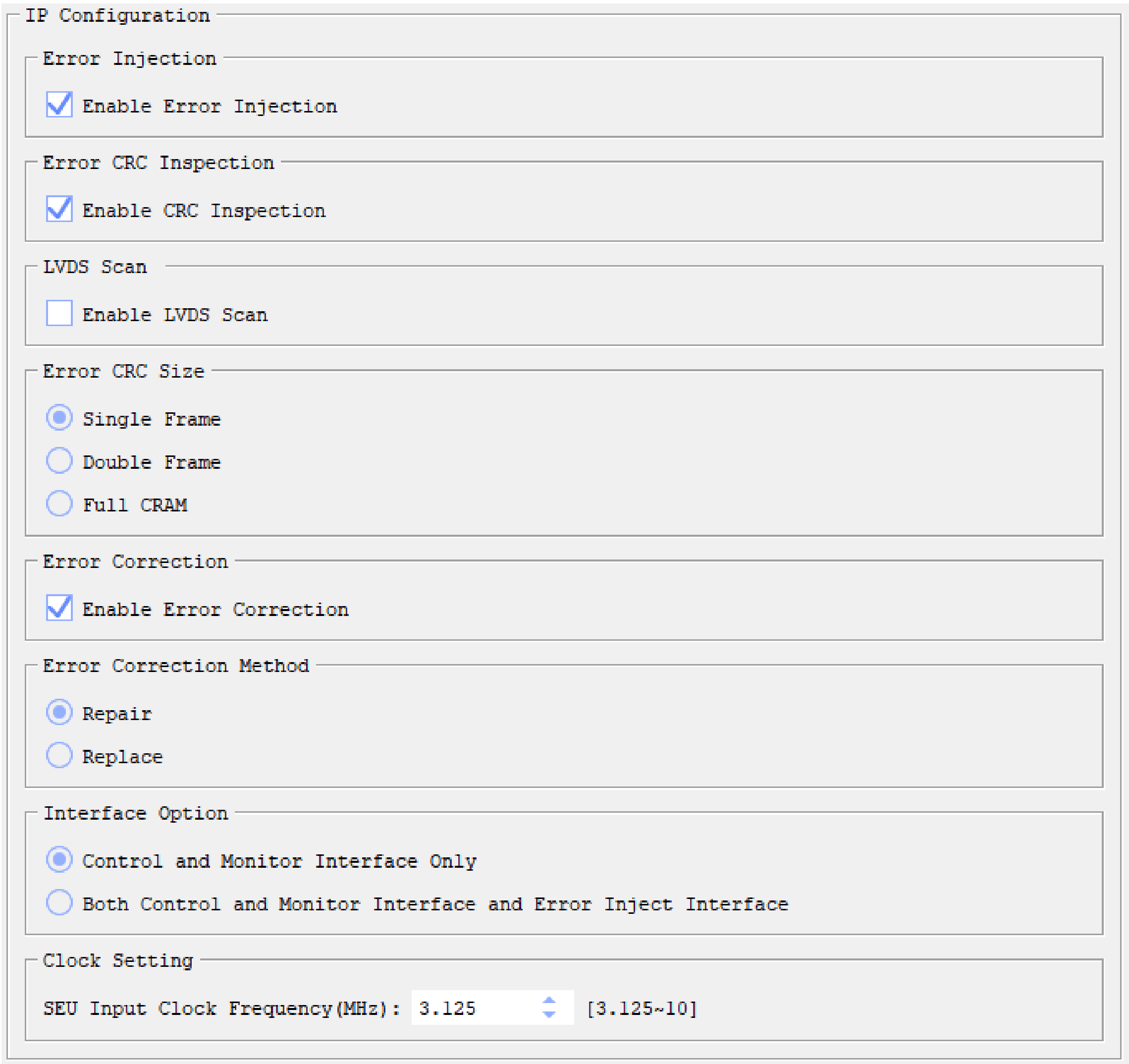


图 2-5 配置 SEU IP 参数界面

SEU IP 配置参数说明如表 2-6 所示。

表 2-6 配置参数说明

选项区域	选项名/参数名	参数说明	IP 配置界面默认值
Error Injection	Enable Error Injection	使能错误注入功能，可向 CRAM 中注入错误。	使能
Error CRC Inspection	Enable CRC Inspection[3]	使能 CRC 校验。	使能
LVDS Scan	Enable LVDS Scan	使能 LVDS 区域的扫描。（仅适用于 PG2T390H）	不使能
Error CRC Size[4]	Single Frame	使能 CRC 检错粒度为 1，以单帧作为一个 CRC 校验单元。	勾选
	Double Frame	使能 CRC 检错粒度为 2，以双帧作为一个 CRC 校验单元（仅适用于 PG2T390H）。	不勾选
	Full CRAM	使能 CRC 检错粒度为全 CRAM，以全 CRAM 作为一个 CRC 校验单元。	不勾选
Error Correction	Enable Error Correction[5]	使能错误纠正。	使能
Error Correction Method[6]	Repair	Repair 纠错模式，具体请参见"2.8.6 1　Repair 模式。	勾选
	Replace	Replace 纠错模式，具体请参见"2.8.6 2　Replace 模式"。	不勾选
Interface Option[7]	Control and Monitor Interface Only	仅例化"控制和监控接口"，具体接口描述参见"2.5.1 3　控制和监控接口"。	勾选
	Both Control and Monitor Interface and Error Inject Interface	同时例化"控制和监控接口"和"错误注入接口"，具体接口描述参见"2.5.1 2　错误注入接口"、"2.5.1 3 控制和监控接口"。	不勾选
Clock Setting	SEU Input Clock Frequency(MHz)	SEU 输入时钟频率设置，有效时钟频率范围：3.125~10MHz。 这个时钟频率，也是仿真使用的 testbench 文件 ips2l_seu_top_tb.v 中 seu_clk 的频率。	3.125

3 不使能 CRC 校验功能时，可节省资源。

4 CRC 检错粒度配置。

5 不使能错误纠正时，只检错不纠错。

6 纠错模式配置。

7 顶层接口例化配置。

3. 生成 IP

参数配置完成后，点击左上角的 <Generate> 按钮生成 IP，即可生成相应于用户特定设置的 SEU IP 代码。生成 IP 的信息报告界面如图 2-6 所示。



图 2-6 SEU IP 生成报告界面

成功生成 IP 后会在图 2-3 中指定的 Project 路径下输出表 2-7 所示文件。

表 2-7 IP 生成后的输出文件

输出文件[8]	说明
$instname.v	所生成 IP 的的顶层.v 文件。
$instname.idf	所生成 IP 的配置文件。
/rtl/*	所生成 IP 的 RTL 代码文件。
/example_design/*	所生成 IP 的 Example Design 所使用的 Test Bench 以及相应 Memory Simulation Model 文件。
/pnr/*	所生成 IP 的 Example Design 相应的工程文件.pds 与管脚约束文件.fdc。
/sim/*	所生成 IP 的仿真目录。sim.tcl 是 modelsim 仿真脚本，makefile 是 vcs 仿真脚本，sim_file_list.f 是仿真文件 list。
/sim_lib/	IP 所需的仿真库文件目录。
/rev_1	综合报告默认输出路径。（该文件夹仅在指定综合工具后才会生成）
readme.txt	readme 文件，描述 IP 生成后，生成目录的结构。
pg2l25h_cram_addr.txt	PG2L25H 器件 CRAM 地址结构说明。
pg2l50h_cram_addr.txt	PG2L50H 器件 CRAM 地址结构说明。
pg2l100h_cram_addr.txt	PG2L100H/PG2L100HX 器件 CRAM 地址结构说明。
pg2l200h_cram_addr.txt	PG2L200H 器件 CRAM 地址结构说明。
pg2t390h_cram_addr.txt	PG2T390H/PG2T390HX 器件 CRAM 地址结构说明。
pg2l50h_grid.seu	PG2L50H 器件 SEU 屏蔽区域坐标文件。（该文件仅在选择 PG2L50H 器件时生成）
pg2l100h_grid.seu	PG2L100H/PG2L100HX 器件 SEU 屏蔽区域坐标文件。（该文件仅在选择 PG2L100H/PG2L100HX 器件时生成）
pg2t390h_grid.seu	PG2T390H/PG2T390HX 器件 SEU 屏蔽区域坐标文件。（该文件仅在选择 PG2T390H/PG2T390HX 器件时生成）

8 $instname 是用户输入的例化名；“*”为通配符，代替同一类型的文件。

2.3.2 约束配置

关于约束文件的具体配置方法，可以查阅 PDS 安装路径下相关帮助文档：*User_Constraint_Editor_User_Guide*[5]，*Physical_Constraint_Editor_User_Guide*[6]，*Route_Constraint_Editor_User_Guide*[7]。

2.3.3 运行仿真

SEU IP 的仿真是基于 Example Design 的 Test Bench 进行的。有关 Example Design 的详细信息请参见“2.4　Example Design”。

关于 PDS 仿真功能及第三方仿真工具的更多详细信息，可以查阅 PDS 安装路径下相关帮助文档：*Pango_Design_Suite_User Guide*[2]，*Simulation_User_Guide*[4]。

Modelsim 仿真运行步骤：打开 cmd.exe，在命令行中将当前目录切换到 IP 生成目录下的/sim/modelsim，运行 ips2l_seu_top_sim.bat，打开 ModelSim 仿真软件，如图 2-7 所示。在 ModelSim 仿真软件中运行脚本即可进行仿真。

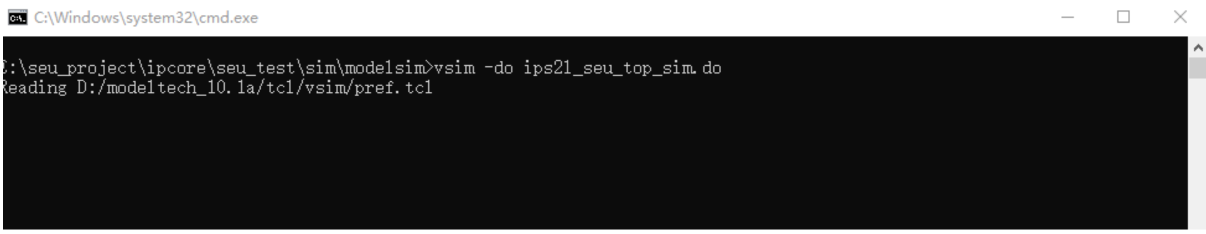


图 2-7 打开 ModelSim 指令

说明：

Replace 功能仿真相关说明请参见“2.8.11　外部存储器仿真文件说明”。

2.3.4 综合与布局布线

PDS 综合工具和布局布线工具的相关具体用法可以查阅 PDS 安装路径下的帮助文档。

注意：

与 IP 一起产生的 Example Design 工程文件.pds 和管脚约束文件.fdc 存放在/pnr/example_design 目录下。使用时需要根据实际使用的器件和 PCB 板的走线修改物理约束，具体请参见“2.8 说明与注意事项”。

2.3.5 资源利用

表 2-8 SEU IP 基于各适用器件的资源利用典型值

器件名	配置模式			资源利用典型值					
	纠错模式	CRC 校验	CRC 粒度	LUT	FF	Distributed RAM	DRM	IPAL	USCM
PG2L25H	Repair	开启	Single	729	435	64	4	1	1
		开启	Full	716	456	64	0	1	1
		关闭	-	536	347	64	0	1	1
	Replace	开启	Single	765	470	64	4	1	1
		开启	Full	737	467	64	0	1	1
		关闭	-	568	357	64	0	1	1
PG2L50H	Repair	开启	Single	730	435	64	4	1	1
		开启	Full	712	456	64	0	1	1
		关闭	-	535	347	64	0	1	1
	Replace	开启	Single	761	470	64	4	1	1
		开启	Full	742	467	64	0	1	1
		关闭	-	567	357	64	0	1	1
PG2L100H/ PG2L100HX	Repair	开启	Single	758	436	64	8	1	1
		开启	Full	748	456	64	0	1	1
		关闭	-	577	347	64	0	1	1
	Replace	开启	Single	908	471	64	8	1	1
		开启	Full	889	468	64	0	1	1
		关闭	-	710	358	64	0	1	1
PG2L200H	Repair	开启	Single	713	438	64	32	1	1
		开启	Full	693	456	64	0	1	1
		关闭	-	515	347	64	0	1	1
	Replace	开启	Single	752	473	64	32	1	1
		开启	Full	737	470	64	0	1	1
		关闭	-	553	360	64	0	1	1

器件名	配置模式			资源利用典型值					
	纠错模式	CRC 校验	CRC 粒度	LUT	FF	Distributed RAM	DRM	IPAL	USCM
PG2T390H/ PG2T390HX	Repair	开启	Single	761	439	64	32	1	1
		开启	Double	767	441	64	16	1	1
		开启	Full	753	458	64	0	1	1
		关闭	-	578	348	64	0	1	1
	Replace	开启	Single	827	474	64	32	1	1
		开启	Double	853	463	64	16	1	1
		开启	Full	852	495	64	0	1	1
		关闭	-	639	361	64	0	1	1

注：“-”表示无该配置项。

2.4 Example Design

本节主要介绍基于 SEU IP 的 Example Design 方案。该方案用户逻辑通过 USB 转串口的方式对 SEU IP 进行控制，其中串口默认支持 115200bps。用户逻辑通过错误注入接口或监控接口向 SEU 写入指令，通过接收返回的状态报告以及点亮的指示信号灯进行判断 SEU 逻辑是否正确。

- seu_top_tb 及以下层次可以用来仿真，Example Design 中 GTP 路径需要根据实际 PDS 安装路径进行设置。
- seu_top 及以下层次可以用来上板调试，Example Design 的引脚约束是基于 P05I330RD04_A0 单板和 PG2L100RD01_A0_SCH 单板设计，如果使用其他单板则需根据实际情况进行引脚配置。

注意：

用 IP 生成的 Example Design，不一定能直接跑 Flow 上板测试，需要根据单板的实际引脚连接关系进行管脚约束，然后跑 Flow 上板测试。

2.4.1 设计框图

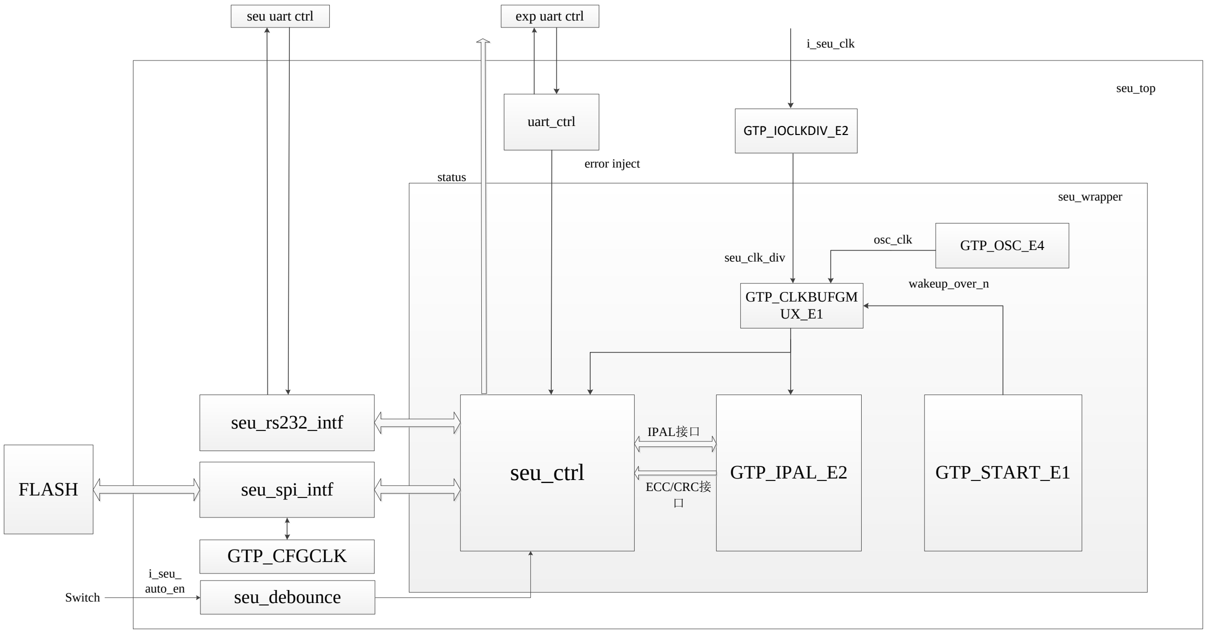


图 2-8 Example Design 系统框图

Example Design 的系统框图如图 2-8 所示，其中用户逻辑通过错误注入接口或监控接口向 SEU 写入指令，通过接收返回的状态报告以及点亮的指示信号灯进行判断 SEU 逻辑是否正确。另外，在用于仿真的 seu_top_tb.v 代码里，i_seu_auto_en 输入端口固定接 1’b1，使 SEU 能够根据 JTAG 接口的状态，自动进入 IDLE 状态和恢复到检错状态。

2.4.2 模块说明

1. seu_uart_ctrl 模块

仿真激励模块，针对 SEU 控制和监控接口，产生输入数据和接受输出数据。

2. exp_uart_ctrl 模块

仿真激励模块，针对 SEU 错误注入接口，产生输入数据。

3. uart_ctrl 模块

串口数据转换模块，产生错误注入接口控制数据。

4. seu_rs232_intf 模块

控制和监控接口与串口转换模块，实现控制和监控接口与 seu_uart_ctrl 模块的数据

交互。串口配置相关信息请参见“2.8.10　UART 接口说明”。

5. seu_spi_intf 模块

FLASH 数据读取控制模块，通过 SPI 接口实现控制和监控接口与外挂 FLASH 间的数据交互。

6. seu_debounce 模块

去抖动处理模块，过滤输入信号 i_seu_auto_en 的抖动。在仿真中，可通过宏定义 IPS_SEU_SPEEDUP_SIM，不使用该模块，提高仿真速度。

7. GTP_CFGCLK 模块

外部存储器时钟控制，产生 spi_sck，经由 SRB 输出到 CCS 的 FLASH 时钟管脚。

8. GTP_IOCLKDIV_E2 模块

时钟分频模块，对输入时钟进行分频。

注意：

seu_spi_intf 模块仅针对 MICRON N25Q256 器件做了上板测试。如果使用其他 FLASH 器件，请根据需要对本模块做相应修改。

2.4.3 目录说明

表 2-9 Example Design 目录说明列表

目录	子目录及文件	下级子目录及文件	功能说明
--/example_design	-	-	Example Design 包含的文件。
-	-- /bench	-	顶层和 testbench 的代码文件。
-	-	-- ips2l_seu_core_only_top.v	SEU IP Core Only 顶层文件，包含 SEU IP 模块。
-	-	-- ips2l_seu_top.v	SEU IP Example Design 顶层文件，包含 SEU IP 和其他外围模块。

目录	子目录及文件	下级子目录及文件	功能说明
-	-	-- ips2l_seu_top_tb.v	SEU IP Example Design 顶层仿真文件，为 SEU IP Example Design 顶层文件提供时钟驱动和配置。
-	-- /rtl	-	使用的通用模块的代码文件。
-	-	-- /led	led 模块 RTL 文件夹，提供时钟点灯功能。
-	-	-- /uart_ctrl_32bit	错误注入接口串口转换模块。
-	-	-- /ips2l_seu_rs232_intf	控制和监控接口与串口转换模块。
-	-	-- ips2l_seu_spi_intf.v	FLASH 数据读取控制模块，本模块仅针对 MICRON N25Q256 器件做了上板测试，如果使用其他 flash 器件，请根据需要对本模块做修改。
		-- ips2l_seu_debounce.v	对外部输入信号去抖动处理的功能模块。
--/pnr	-	-	综合布局布线工程。
	--/example_design	-	Example Design 的综合布局布线工程文件及约束文件。
-	-	-- ips2l_seu_top.pds	SEU IP Example Design PDS 工程文件。
-	-	-- ips2l_seu_top.fdc	SEU IP Example Design PDS 约束文件，IP 生成的约束是基于 P05I330RD04_A0 板卡或者 PG2L100RD01_A0 板卡的，用户需要根据自己的实际应用去修改。
-	-- /core_only	-	SEU IP 综合布局布线工程文件及约束文件。
-	-	-- ips2l_seu_core_only_top.pds	SEU IP PDS 工程文件。
-	-	-- ips2l_seu_core_only_top.fdc	SEU IP PDS 约束文件。
--/rtl	-	-	SEU IP 包含的设计代码。
-	-- xxx_xxx.v	-	SEU IP code，可用于综合或者仿真。
-	-- /common	-	SEU Core 调用的 FIFO、RAM 等公共模块。

目录	子目录及文件	下级子目录及文件	功能说明
--/sim	-	-	simulation 目录。
-	-- /modelsim	-	仿真运行的.bat 文件及 filelist
-	-	/task	用于仿真的 task 文件目录。
-	-	/testcase	用于仿真的 testcase 文件目录。
-	-	cmem_data.txt	用于仿真的 CRAM 测试数据。
-	-	flash.txt	用于仿真的 Flash 测试数据。（需要用户自行准备）
-	-	--ips2l_seu_top_filelist.f	用于仿真的 filelist，被 seu_sim.do 调用。
-	-	--ips2l_seu_top_sim.do	用于仿真的 do 文件。
-	-	--ips2l_seu_top_sim_wave.do	用于仿真的波形加载文件。
-	-	--ips2l_seu_top_sim.bat	用于仿真运行批处理文件。
--/sim_lib	-	-	simulation model 目录。
-	-- /flash_model	-	外挂 Flash 的仿真模型。（需要用户自行准备并放此处）

注：“-”表示无该项内容。

2.5 IP 接口描述

本节介绍 SEU IP 相关接口说明及描述。

2.5.1 顶层接口说明

1. Global 接口

表 2-10 Global 接口

端口	I/O	位宽	有效值	描述
i_seu_clk	I	1	-	用户提供的输入时钟接口。
o_ipal_clk	O	1	-	SEU 提供的输出时钟接口。
i_seu_auto_en	I	1	-	自动状态切换使能信号。使能信号有效时，SEU 根据 JTAG 接口状态自动进入 IDLE 状态或恢复到检错状态： 当检测到 JTAG 接口开始指令传输时：SEU 自动进入 IDLE 状态并保持，此时 IP 接口输入的命令无效； 当检测到 JTAG 接口完成指令传输时：SEU 自动恢复到检测状态。 1：使能； 0：不使能。

注：“-”表示无该项参数。

注意：

对于 i_seu_auto_en 信号的使用：

- 首先需要避免 JTAG 口上存在干扰信号。若持续存在干扰信号，不仅会对 SEU 有影响，也会有芯片其他功能异常的风险；
- 在菊花链操作其他芯片完成后，确保 JTAG 进入 TLR 状态；
- 如果实在无法避免 JTAG 口上的干扰信号，用户可以动态切换 i_seu_auto_en 的值来避免 SEU 自动进入 IDLE 状态。

---

2. 错误注入接口

表 2-11 错误注入接口

端口	I/O	位宽	有效值	描述
i_err_inject_req	I	1	高电平	IPS2L_SEU IP 错误注入接口，通过发送命令控制 IP 工作。 高电平脉冲有效，脉冲宽度为 1 个 i_seu_clk 时钟周期，一个脉冲表示一次命令。
i_err_inject_addr	I	34	-	IPS2L_SEU IP 错误注入地址。 bit[33]: 命令标识。 1：输入控制命令，配合 bit[32:28]使用，此时 bit[27:0]不关心； 0：输入错误注入命令，bit[32:0]为错误注入地址。 bit[32:28]:命令编码或 region addr。 当 bit[33]=1 时，bit[32:28]是命令编码； 当 bit[33]=0 时，bit[32:28]是 region addr。 其中，命令编码如下： 5’h00：进入检错状态； 5’h01：进入 idle 状态； 5’h02：软复位。 bit[27:20]: column addr。 bit[19:12]: frame addr。 bit[11:0]: error bit in frame addr。

注：“-”表示无该项参数。

注意：

错误注入地址必须是一个有效地址，否则可能会引起器件不能正常工作。

3. 控制和监控接口

表 2-12 控制和监控接口

端口	I/O	位宽	有效值	描述
o_uart_txdata	O	8	-	UART 发送数据。
o_uart_txreq	O	1	高电平	UART 发送请求。 1：请求发送； 0：不请求发送。
i_uart_txvld	I	1	高电平	允许发送数据标识。 1：UART 接口 FIFO 未满，允许请求发送； 0：UART 接口 FIFO 满，不允许请求发送。
i_uart_rxdata	I	8	-	UART 接收数据。
o_uart_rxreq	O	1	高电平	UART 接收请求。 1：请求接收； 0：不请求接收。
i_uart_rxvld	I	1	高电平	允许接收数据标识。 1：允许请求接收； 0：不允许请求接收。

注："-" 表示无该项参数。

4. 外部存储器接口

表 2-13 外部存储器接口

端口	I/O	位宽	有效值	描述
o_spi_txdata	O	32	-	SPI 发送数据。
o_spi_txreq	O	1	高电平	SPI 发送请求。 1：请求发送； 0：不请求发送。
i_spi_txvld	I	1	高电平	允许发送 SPI 数据标识。 1：允许请求发送； 0：不允许请求发送。
i_spi_rxdata	I	32	-	SPI 接收数据。
o_spi_rxreq	O	1	高电平	SPI 接收请求。 1：请求接收； 0：不请求接收。
i_spi_rxvld	I	1	高电平	允许接收 SPI 数据标识。 1：SPI 接口 FIFO 未空，允许请求接收； 0：SPI 接口 FIFO 空，不允许请求接收。

注："-" 表示无该项参数。

5. 状态接口

表 2-14 状态接口

端口	I/O	位宽	有效值	描述
o_wakeup_over_n	O	1	高电平	唤醒成功完成标志。 0：唤醒完成； 1：唤醒未完成。
o_seu_ready	O	1	高电平	SEU IP 准备就绪，可以接收外部命令开始工作。 0：未准备就绪； 1：准备就绪。
o_chck_tick	O	1	高电平	心跳指示信号。 只在执行 SEU 错误检测时有效，每间隔 100 个 i_seu_clk 时钟周期产生一个时钟周期的高电平脉冲。
o_st_init	O	1	高电平	初始化过程指示信号。 0：SEU IP 不在初始化状态； 1：SEU IP 正在执行初始化。
o_st_chck	O	1	高电平	SEU 错误检测过程指示信号。 0：SEU IP 没有处在错误检测状态； 1：SEU IP 正在执行错误检测。
o_st_corr	O	1	高电平	纠错过程指示信号。 0：SEU IP 没有处在纠错状态； 1：SEU IP 正在执行纠错。
o_st_inject	O	1	高电平	错误注入过程指示信号。 0：SEU IP 没有处在错误注入状态； 1：SEU IP 正在执行错误注入操作。
o_st_uncorr	O	1	高电平	错误纠正状态指示信号。 0：错误可纠正； 1：错误不可纠正。 错误检测过程结束时，该信号状态根据实际情况变化。
o_seu_err_enable_repair	O	1	高电平	在检测到可纠正错误时，会产生属于 o_ipal_clk 时钟域的一个时钟周期的脉冲。仅在 Repair 模式下有效。 1：表示检测到可纠正错误。

端口	I/O	位宽	有效值	描述
o_seu_err_unable_repair	O	1	高电平	在检测到不可纠正错误时，会产生属于 o_ipal_clk 时钟域的，一个时钟周期的脉冲。仅在 Repair 模式下有效。 1：表示检测到不可纠正错误。

注：“-”表示无该项参数。

6. Debug 接口

表 2-15 Debug 接口

端口	I/O	位宽	有效值	描述
o_seu_valid	O	1	高电平	SEU 信息有效标志，脉冲信号。 0：o_seu_serr、o_seu_derr 和 o_seu_index 无效； 1：o_seu_serr、o_seu_derr 和 o_seu_index 有效。
o_seu_index	O	12	-	单比特错误在帧中的位置。
o_seu_serr	O	1	高电平	单比特错误标志。 0：无单比特错误； 1：有单比特错误。
o_seu_derr	O	1	高电平	多比特错误标志。 0：无多比特错误； 1：有多比特错误。
o_seu_crc_err	O	1	高电平	CRC 错误标志，当 o_st_corr 有效时该信号有效。 0：无 CRC 错误； 1：有 CRC 错误。
o_seu_frame_addr	O	8	-	当前帧的帧地址。
o_seu_column_addr	O	8	-	当前帧的列地址。
o_seu_region_addr	O	5	-	当前帧的区域地址。
o_fsm_debug	O	32	-	bit[31:29]：seu_cs，SEU 当前状态。 3’d0：E_SEU_WAKEUP 3’d1：E_SEU_IDLE 3’d2：E_SEU_START 3’d3：E_SEU_RB_FM 3’d4：E_SEU_RD_EXT 3’d5：E_SEU_CORRECT 3’d6：E_SEU_DYN_RECFG 3’d7：E_SEU_END bit[28:26]：seu_ns，SEU 下个状态。 bit[25:21]：ipal_st，ipal 接口发送指令计数。 bit[20:9]：cmd_cnt，ipal 接口发送每个指令时钟周期计数。

端口	I/O	位宽	有效值	描述
				bit[8]：fifo_rd_en，FIFO 读使能。 0：不读取； 1：读 FIFO。 bit[7]：fifo_empty，FIFO 空标志。 0：FIFO 未空； 1：FIFO 空，不能读。 bit[6]：fifo_wr_en，FIFO 写使能。 0：不写入； 1：写 FIFO。 bit[5]：fifo_full，FIFO 满标志。 0：FIFO 未满； 1：FIFO 满，不能写。 bit[4]：crc_ram_wr_en，CRC RAM 写使能。 0：不写 CRC RAM； 1：写 CRC RAM。 bit[3]：seu_serr_lck，单比特错误锁存。 0：无单比特错误； 1：有单比特错误。 bit[2]：seu_derr_lck，多比特错误锁存。 0：无多比特错误； 1：有多比特错误。 bit[1]：seu_crc_err_lck，CRC 错误锁存。 0：无 CRC 错误； 1：有 CRC 错误。 bit[0]：drcfg_err_lck，动态重配错误标志。 0：动态重配成功； 1：动态重配错误。

注：“-”表示无该项参数。

2.5.2 顶层接口描述

1. 错误注入接口

(1) 时序描述

错误注入接口可通过发送命令控制 SEU IP 工作，典型时序如图 2-9 所示。

- i_err_inject_addr 在 i_err_inject_req 高电平时有效；
- i_err_inject_req 维持一个 i_seu_clk 时钟周期。

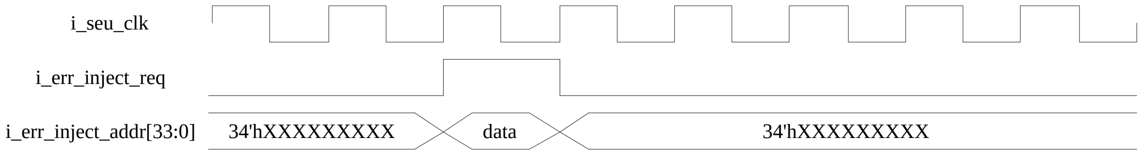


图 2-9 错误注入接口典型时序

注意：

若 i_err_inject_req 信号持续拉高多个时钟周期，可能会造成命令冲突的情况。

---

(2) 命令描述

错误注入接口支持的相关命令描述参见表 2-16。

表 2-16 错误注入接口相关命令描述

命令类型	适用场景[9]	命令解读	命令格式说明[10]				
			bit[33]	bit[32:28]	bit[27:20]	bit[19:12]	bit[11:0]
进入检错状态命令	IDLE 状态	退出 IDLE 状态进入检错状态，开始检错纠错。	1’b1	5’b00000	8’bxxxxxxxx	8’bxxxxxxxx	12’bxxxxxxxxxxxx
软复位命令	IDLE 状态	对 SEU IP 的状态机部分执行复位操作，并重新执行 IP 初始化。“软复位命令”执行完成后自动进入检错状态。	1’b1	5’b00010	8’bxxxxxxxx	8’bxxxxxxxx	12’bxxxxxxxxxxxx
错误注入命令	IDLE 状态	向 CRAM 中注入单比特错误；如果需要注入多比特错误，则需重复执行该命令。“错误注入命令”执行完成后自动回到 IDLE 状态。	1’b0	region address	column address	frame address	bit address
进入 IDLE 状态命令	检错或纠错状态	当前帧检错纠错完成后进入 IDLE 状态。	1’b1	5’b00001	8’bxxxxxxxx	8’bxxxxxxxx	12’bxxxxxxxxxxxx

注：“x”表示该位数值无关。

9 该命令仅适用于对应的状态场景，其他状态下发送该命令无效。

10 region address：CRAM 区域地址；column address：CRAM 列地址；frame address：CRAM 帧地址；bit address：CRAM 帧内 bit 位地址。错误注入指令地址举例说明请参见“2.8.8 错误注入指令地址举例”。CRAM 地址范围说明请参见“2.8.9　CRAM 地址范围说明”。

2. 控制和监控接口

(1) 时序描述

控制和监控接口可通过发送命令对 SEU IP 进行控制，典型时序如图 2-10 所示。

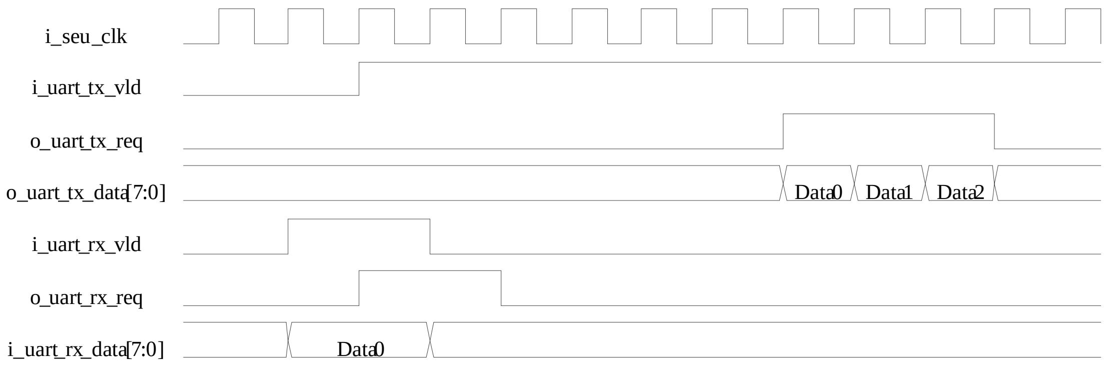


图 2-10 控制和监控接口典型时序

- i_uart_tx_vld 为高电平表示允许发送数据；
- o_uart_tx_req 高电平表示正在发送数据；
- o_uart_tx_req 高电平期间每个时钟周期 o_uart_tx_data 发送一个 byte 有效数据。
- i_uart_rx_vld 为高电平表示接收方向有数据可以读取，低电平表示无数据可以读取；
- o_uart_rx_req 为高电平表示正在读取数据；
- i_uart_rx_vld 和 o_uart_rx_req 都为高电平时，每个时钟周期从 i_uart_rx_data 读取一个 byte 数据。

(2) 命令描述

控制和监控接口支持的相关命令描述参见表 2-17。

说明：

以下所有命令内容若非特别说明均为 ASCII 码形式。

表 2-17 控制和监控接口相关命令描述

命令类型	适用场景[11]	命令解读	命令格式
进入检测状态命令	IDLE 状态	退出 IDLE 状态进入检错状态，开始检错纠错。	“D”
软复位命令	IDLE 状态	对 SEU IP 的状态机部分执行复位操作，并重新执行 IP 初始化 。 “软复位命令”执行完成后自动进入检错状态。	“R”
错误注入命令	IDLE 状态	向 CRAM 中注入单比特错误；如果需要注入多比特错误，则需重复执行该命令。 “错误注入命令”执行完成后自动回到 IDLE 状态。	“E” + “错误注入地址” [12]
进入 IDLE 状态命令	检错或纠错状态	当前帧检错纠错完成后进入 IDLE 状态。	“I”
状态报告命令	任何状态	触发 SEU IP 通过控制和监控接口上报当前所处状态。	“S”

表 2-18 错误注入地址格式[13]

bit[39：33]	bit[32:28]	bit[27:20]	bit[19:12]	bit[11:0]
7’b0	region address	column address	frame address	bit address

(3) 输出报告

说明：

以下所有报告均为 ASCII 码形式。

控制和监控接口通过接收上报的输出报告，可监控 SEU IP 的工作状态。SEU IP 支持三种类型的输出报告：初始化状态报告、错误检测报告、状态报告。具体如下所述。

- 初始化状态报告

SEU IP 在初始化完成后会生成初始化状态报告，报告说明参见表 2-19。

11 该命令仅适用于对应的状态场景，其他状态下发送该命令无效。

12 错误注入地址为 10 位十六进制数据（40bit 二进制数据），非 ASCII 码，格式参见表 2-18。

13 region address：CRAM 区域地址；column address：CRAM 列地址；frame address：CRAM 帧地址；bit address：CRAM 帧内 bit 位地址。CRAM 地址范围说明请参见“2.8.9 CRAM 地址范围说明”。

表 2-19 初始化状态报告说明

报告内容[14]	生成场景	内容解读
“LOGOS2_SEU_” + “Vx_x” + “CR” + “LF”	SEU IP 开始初始化后。	SEU IP 版本号。

注：“Vx_x” 对应当前 SEU IP 版本。

- 错误检测报告

SEU IP 在初始化或者检错状态下检测到 CRAM 错误，会生成错误检测报告，报告说明参见表 2-20。错误地址字段说明参见表 2-21。

表 2-20 错误检测报告说明

<table>
<tr><th>报告内容[15]</th><th>Repair 模式</th><th colspan="2">校验模式</th><th>内容解读</th></tr>
<tr><td>“SER” + “空格” + “AD” + “错误地址” + “CR” + “LF”</td><td rowspan="5">关闭</td><td rowspan="2">ECC 校验</td><td>单比特 ECC</td><td>在当前错误地址对应的 Bit、检测到单比特错误。</td></tr>
<tr><td>“DER” + “空格” + “AD” + “错误地址” + “CR” + “LF”</td><td>多比特 ECC</td><td>检测到多比特错误[16]。</td></tr>
<tr><td rowspan="3">“CRC” + “空格” + “AD” + “错误地址” + “CR” + “LF”</td><td rowspan="3">CRC 校验</td><td>单帧</td><td>在当前错误地址帧中检测到 CRC Only 错误[16]。</td></tr>
<tr><td>双帧</td><td>在当前错误地址帧和上一帧中检测到 CRC Only 错误[16]。</td></tr>
<tr><td>全 CRAM</td><td>在位流中检测到 CRC 错误[17]。</td></tr>
<tr><td>“REP”+“空格”+“AD”+“错误地址”+“CR”+“LF”</td><td rowspan="5">开启</td><td rowspan="2">ECC 校验</td><td>单比特 ECC</td><td>在当前错误地址对应的 Bit 检测到单比特可纠正错误。</td></tr>
<tr><td rowspan="4">“UNR” + “空格” + “AD” + “错误地址” + “CR” + “LF”</td><td>多比特 ECC</td><td>在当前错误地址帧中检测到不可纠正的错误[16]。</td></tr>
<tr><td rowspan="3">CRC 校验</td><td>单帧</td><td>在当前错误地址帧中检测到不可纠正的错误[16]。</td></tr>
<tr><td>双帧</td><td>在当前错误地址帧和上一帧中检测到不可纠正的错误[16]。</td></tr>
<tr><td>全 CRAM</td><td>在位流中检测到不可纠正的错误[17]。</td></tr>
</table>

14 CR 代表“回车”，LF 代表“换行”。

15 SER 表示单比特错误，DER 表示多比特错误，CRC 表示 CRC Only 错误，REP 表示可纠正错误，UNR 表示不可纠正错误，CR 代表“回车”，LF 代表“换行”。错误地址为 9 位十六进制数据（36bit 二进制数据），报告上传之前已经转换为 ASCII 码，1 位 16 进制数据转换为 1 个 ASCII 码，共 9 个 ASCII 码。

16 错误地址字段中的 bit address 字段无意义。

17 错误检测报告中指示的错误地址无意义。

表 2-21 错误地址字段说明[18]

bit[36：33]	bit[32:28]	bit[27:20]	bit[19:12]	bit[11:0]
4’b0	region address	column address	frame address	bit address

- 状态报告

SEU IP 在下述场景下，会生成状态报告，报告说明参见表 2-22，状态编码说明参见表 2-23。

表 2-22 状态报告说明

<table>
<tr><th>报告内容[19]</th><th>状态报告类型</th><th>生成场景</th><th>内容解读</th></tr>
<tr><td rowspan="6">“ST”+“空格”+“状态编码”+“CR”+“LF”</td><td>当前
状态报告</td><td>接收到“状态报告命令”。</td><td>反映当前状态。</td></tr>
<tr><td rowspan="2">检错
状态报告</td><td>初始化完成后自动跳转到检错状态。</td><td>表示已经进入检错状态。</td></tr>
<tr><td>接收到“进入检错状态命令”后跳转到检错状态。</td><td>表示已经进入检错状态。</td></tr>
<tr><td rowspan="2">IDLE
状态报告</td><td>接收到“进入 IDLE 状态命令”后跳转到 IDLE 状态。</td><td>表示已经进入 IDLE 状态。</td></tr>
<tr><td>错误注入执行完成自动跳转到 IDLE 状态。</td><td>表示已经进入 IDLE 状态。</td></tr>
<tr><td>错误注入
状态报告</td><td>接收到“错误注入命令”后跳转到错误注入状态。</td><td>表示已经进入注错状态。</td></tr>
</table>

表 2-23 状态编码说明

状态编码 [19]	状态说明
00	wakeup 状态
01	初始化状态
02	检错状态
03	纠错状态
04	IDLE 状态
05	错误注入状态

18 region address：CRAM 区域地址；column address：CRAM 列地址；frame address：CRAM 帧地址；bit address：CRAM 帧内 bit 位地址。CRAM 地址范围说明请参见“2.8.9 CRAM 地址范围说明”。

19 状态编码为 2 位十六进制数据（8bit 二进制数据）。

3. 外部存储器接口

外部存储器接口用于动态重配 CRAM 时的外部寄存器访问。Example Design 中通过 SPI 接口访问外挂 FLASH，详细信息可参见“2.4 Example Design”。

(1) 过程描述

当 SEU IP 纠错模式配置为 Replace 时，如果检测到错误，需要从外部存储器读取出错帧的 CRAM 数据，对 CRAM 进行局部动态重配。简要过程描述如下：

执行 SEU 检测时，会从 CRAM 开始对数据帧进行计数，当某一帧出错需要纠错时，就发送当前帧计数值，FLASH 数据读取控制模块根据当前帧计数值，计算读取 FLASH 的起始地址，然后从中读取一帧数据存储到 FIFO 中，一帧数据读取完成后 SEU 控制器从 FIFO 中将帧数据读取出来并执行 CRAM 动态重配。当设置 CRC 校验粒度为 2 且发现 CRC 错误时，SEU 会重复两次上述操作，分别读取 flash 中的当前帧和上一帧数据，以此替换掉 CRAM 中当前帧和上一帧的数据。

(2) 时序描述

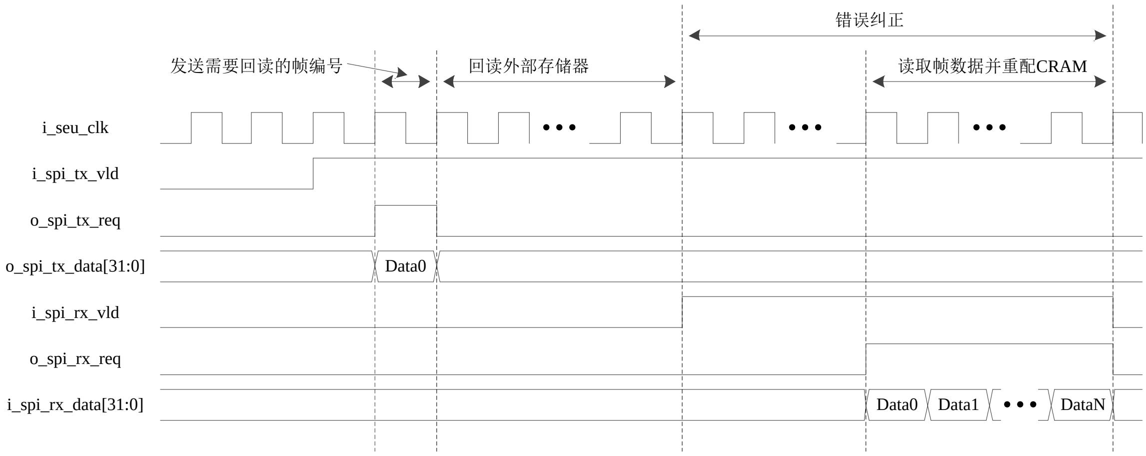


图 2-11 外部存储器接口时序图

- i_spi_tx_vld 为高电平时允许发送数据；
- o_spi_tx_req 为高电平表示正在发送数据，每次只发送一个时钟周期的数据；
- o_spi_tx_data 为发送数据，其中 o_spi_tx_data [11:0]为当前帧的计数值，o_spi_tx_data [15:12]固定为 0；
- i_spi_rx_vld 表示回读外部存储器已经完成；

- o_spi_rx_req 表示从 fifo 中读取数据；
- o_spi_rx_req 高电平期间每个时钟周期读取 16bit 数据直到一帧数据读取完成。

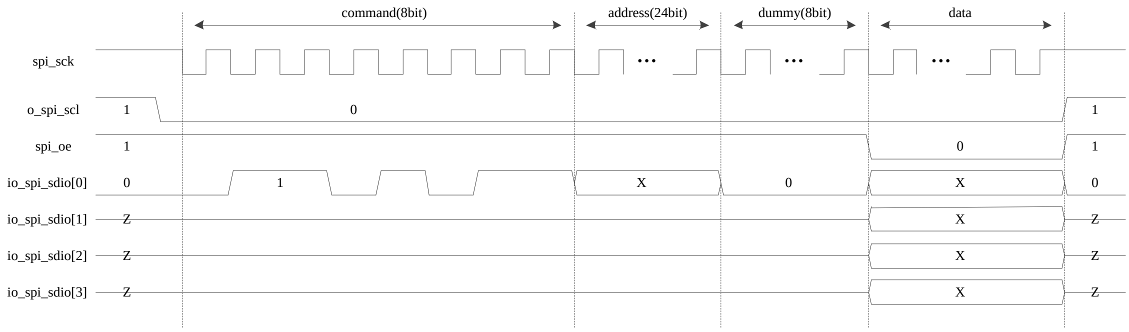


图 2-12 SPI 接口时序图

2.6 IP 寄存器描述

无。

2.7 典型应用

SEU IP 的典型应用请参见“2.4　Example Design”。

2.8 说明与注意事项

2.8.1 配置参数

SEU IP 内部的参数均不向用户开放，不可随意修改。

2.8.2 位流生成

生成位流文件之前，需要勾选“Project Setting->Generate Bitstream->Readback->Enable Mask Variable Memory In Read Back”选项。PDS 版本一般会默认勾选。

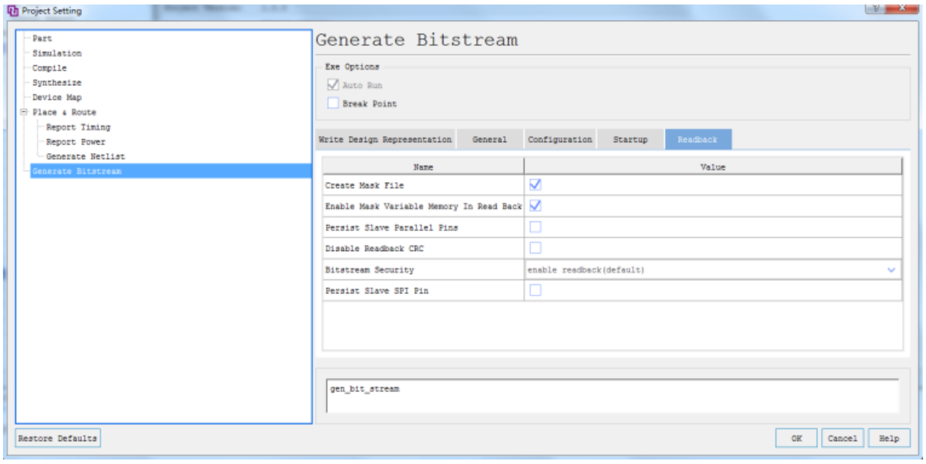


图 2-13 位流生成设置界面

2.8.3 IO 约束

IP 只针对 PG2L100H 和 PG2T390H 器件特定的封装和板卡，提供与 Example Design 相适配的.fdc 文件，其他芯片封装和板卡，需要根据具体情况进行编写。

2.8.4 布局布线约束

Example Design 自带的.fdc 包含了对布局布线位置的约束，可将 SEU IP 的布局布线限制在特定区域。

2.8.5 工作状态

SEU IP 的工作状态，及各状态之间的转换条件如图 2-14 所示。相关接口命令信息请参见“2.5.2　顶层接口描述”。

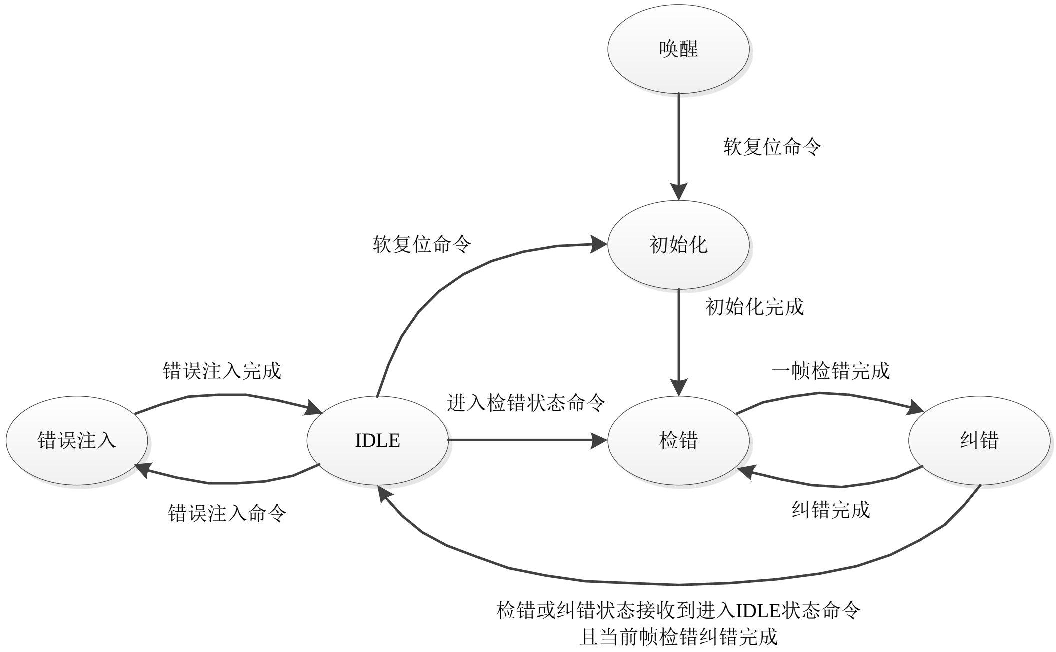


图 2-14 SEU IP 工作状态转换图

1. 唤醒状态

上电之后，SEU IP 处于唤醒状态。

- 唤醒状态下，SEU IP 需要等待 o_seu_ready 信号拉高之后才能开始工作。
- o_seu_ready 拉高后，SEU IP 接收到“软复位命令”进入初始化状态。

2. 初始化状态

SEU IP 在接收到“软复位命令”之后，进入初始化状态。

- 初始化状态下，o_st_init 信号拉高。
- SEU IP 在初始化状态下会读一遍 CRAM 的所有帧[20]。若开启了 CRC 校验，SEU IP 会按校验粒度计算并存储 CRC 值作为 CRC 初始值，用于检错过程中的 CRC 值比较。CRC 值计算说明参见表 2-24。
- 初始化完成后，SEU IP 自动进入检错状态，开始正常工作。

20 为降低 SEU IP 开启时对风险区域信号的影响，在初始化过程中 对该区域的 CRAM 帧不做回读校验。详细信息请参见“2.1.3 3　CRAM 帧回读校验”。

表 2-24 CRC 值计算说明

CRC 校验粒度	CRC 值 计算单位	计算结果存储位置
1	单帧	ips2l_seu_init_crc_ram
2	双帧	
全 CRAM	全位流	寄存器

注意：

初始化过程中也会做 SEU 检测。如果在初始化过程中通过状态接口信号或控制和监控接口检测到单比特或多比特错误，用户需要找到出错原因并消除错误，然后重新执行初始化操作。

若开启了 CRC 校验，初始化过程中即使检测到单比特错误或者多比特错误，也会正常计算 CRC 值并存储，但该 CRC 初始值不正确。这种情况下，初始化完成进入检错状态，会导致 SEU IP 在执行完单比特错误或多比特错误纠正后，仍会不断检测到 CRC 错误。

3. 检错状态

初始化完成后，或在 IDLE 状态下接收到“进入检错状态命令”后，SEU IP 会进入检错状态。

- 检错状态下，o_st_chck 信号拉高。
- SEU IP 在检错状态下执行 CRAM 数据的逐帧错误检测，一帧检测完成后，不管是否发现错误，都会进入纠错状态。
- SEU IP 在检错状态下可接收“进入 IDLE 状态命令”。若接收到该命令，SEU IP 在完成当前帧的检错纠错后进入 IDLE 状态。

说明：

检错过程中，如果开启 CRC 检错，根据 CRC 校验粒度的设置，SEU IP 会每一帧、每两帧或全 CRAM 计算一次 CRC 值，计算结果与初始 CRC 值比较，如果不一致，则检测到 CRC 错误。

4. 纠错状态

SEU IP 在检错状态下执行每帧 CRAM 数据的错误检测时，都会进入纠错状态。

- 纠错状态下，o_st_corr 信号拉高。
- SEU IP 在纠错状态下所执行的操作取决于检错结果及纠错功能配置，参见表 2-25。
- SEU IP 在纠错状态下可接收“进入 IDLE 状态命令”。若接收到该命令，SEU IP 在完成当前帧的纠错后进入 IDLE 状态。

表 2-25 SEU IP 纠错操作描述

纠错功能[21]	检错结果	SEU IP 执行操作描述
不使能	-	不执行纠错，直接跳转到检错状态。
使能	检测到可纠正错误	纠错完成后进入检错状态。
	检测到不可纠正错误	跳转到 IDLE 状态并拉高 o_st_uncorr。
	未检测到错误	直接跳转到检错状态。

注：“-” 表示该项内容无关。

说明：

SEU IP 进入正常工作状态后，如果没有检测到不可纠正错误，没有接收到“进入 IDLE 状态命令”，没有遇到其他异常情况，则会一直在检错状态和纠错状态之间跳转，对 CRAM 数据帧进行循环检错纠错。

---

5. IDLE 状态

SEU IP 在检错或纠错状态下接收到“进入 IDLE 状态命令”，或在错误注入状态下执行完错误注入，都会进入 IDLE 状态。

- IDLE 状态下，o_st_init、o_st_chck、o_st_corr、o_st_inject 状态指示信号全为低电平。
- SEU IP 在 IDLE 状态下可通过接收命令执行相关操作，参见表 2-26。

21 对应 Enable Error Correction 参数，详情参见“2.3.1 2　配置 IP”。

表 2-26 IDLE 状态下相关命令及操作

可接收命令	SEU IP 执行操作描述
错误注入命令	向 CRAM 中注入单比特错误；如果需要注入多比特错误，则需重复执行该命令。 “错误注入命令”执行完成后自动回到 IDLE 状态。
软复位命令	对 SEU IP 的状态机部分执行复位操作，并重新执行 IP 初始化。 “软复位命令”执行完成后自动进入检错状态。
进入检错状态命令	退出 IDLE 状态进入检错状态。

6. 错误注入状态

SEU IP 在 IDLE 状态下接收到“错误注入命令”，会进入错误注入状态。

- 错误注入状态下，o_st_inject 信号拉高。
- SEU IP 在错误注入状态下所执行的操作取决于错误注入功能配置，参见表 2-27。
- 错误注入完成后，回到 IDLE 状态。

表 2-27 错误注入状态下操作描述

错误注入功能[22]	SEU IP 执行操作描述
使能	SEU IP 向 CRAM 的指定位置插入单比特错误。 错误注入方式：首先回读需要错误注入的数据帧，将要错误注入的 Bit 取反，然后启动动态重配 CRAM。
不使能	仅回读指定数据帧，不执行动态重配。

注意：

SEU IP 仅在 IDLE 状态下可接收“错误注入命令”，其它状态下该命令无效。

22 对应 Enable Error Injection 参数，详情参见“2.3.1 2　配置 IP”

2.8.6 纠错模式

SEU IP 支持错误纠正，根据纠错能力对应两种可配置的纠错模式[23]：Repair 模式和 Replace 模式。不同纠错模式下的纠错方式参见表 2-28。

1. Repair 模式

Repair 模式仅支持单比特错误纠正。如果检测到多比特错误或者 CRC Only 错误[24]，则为不可纠正错误，SEU IP 退出检错纠错状态进入 IDLE 状态。

2. Replace 模式

Replace 模式可纠正单比特错误、多比特错误、CRC Only 错误（非全 CRAM）。

表 2-28 SEU IP 纠错方式描述

纠错模式	校验模式		纠错方式
Repair	ECC 校验	单比特 ECC	将当前帧出错的 Bit 取反，然后动态重配 CRAM。
		多比特 ECC	不可纠正错误，SEU IP 退出检错纠错状态进入 IDLE 状态。
	CRC 校验	单帧	
		双帧	
		全 CRAM	
Replace	ECC 校验	单比特 ECC	从外部存储器中读取出错的帧数据，然后动态重配 CRAM。
		多比特 ECC	
	CRC 校验	单帧	从外部存储器读取一帧出错的数据，然后动态重配 CRAM。
		双帧	从外部存储器读取两帧出错的数据，然后动态重配 CRAM。
		全 CRAM	SEU IP 进入 IDLE 状态，等待用户手动重配 CRAM。

说明：

Replace 模式需要有外部存储器。

23 对应 Error Correction Method 参数，详情参见“2.3.1 2　配置 IP”。

24 表示只检测到 CRC 错误，没有检测到单比特或多比特错误。

2.8.7 操作流程

1. 检错纠错流程

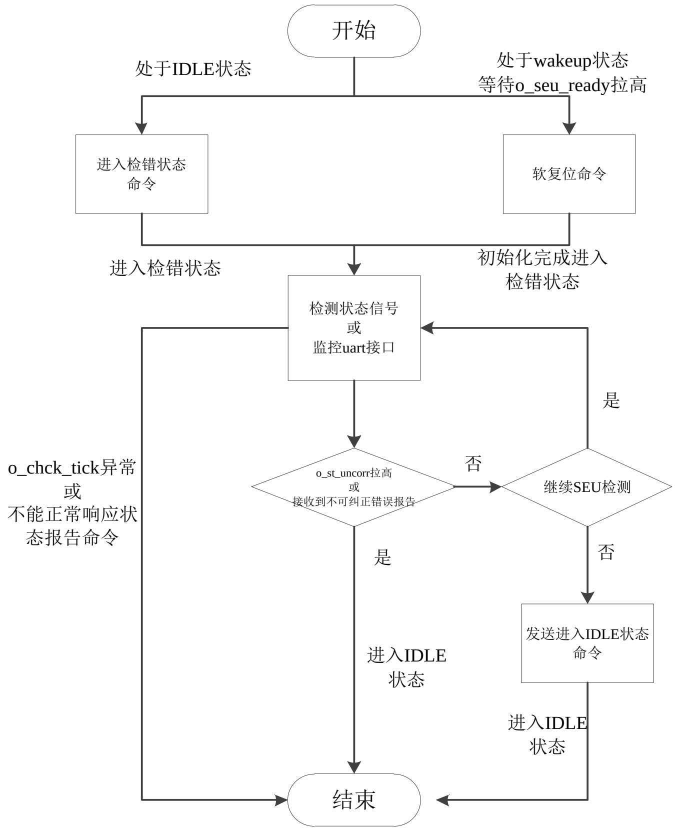


图 2-15 SEU 检错纠错流程图

(1) 开始检错纠错

开始检错纠错流程有两种方式，取决于 SEU IP 所处的工作状态：

- 唤醒状态下，需要等待 o_seu_ready 拉高，然后发送“软复位命令”，SEU IP 初始化完成后即可自动进入检错纠错流程。
- IDLE 状态下，直接发送“进入检错状态命令”，SEU IP 即可进入检错纠错流程。

(2) 检测到不可纠正错误

SEU IP 如果检测到不可纠正错误[25]，会自动停止检错纠错，进入 IDLE 状态。

25 不可纠正错误是指在当前纠错模式下不可纠正的错误，例如，如果当前纠错功能使能且处于 Repair 模式，则多比特错误即为不可纠正错误，SEU 会发送 UNR 错误报告。具体信息可参见“2.8.12　可纠正与不可纠正的说明”。

(3) 停止检错纠错

发送“进入 IDLE 状态命令”可中止 SEU 检测，SEU IP 在完成当前帧的检错纠错后进入 IDLE 状态。

(4) 解除 SEU IP 故障

如果检测到 o_chck_tick 状态信号不正常，或者发送“状态报告命令”后不能接收到预期的状态报告，则说明 SEU IP 本身可能出现故障，不能正常工作，需要用户采取相应操作解除故障。IP 调试相关信息请参见“2.9　IP 调试手段”。

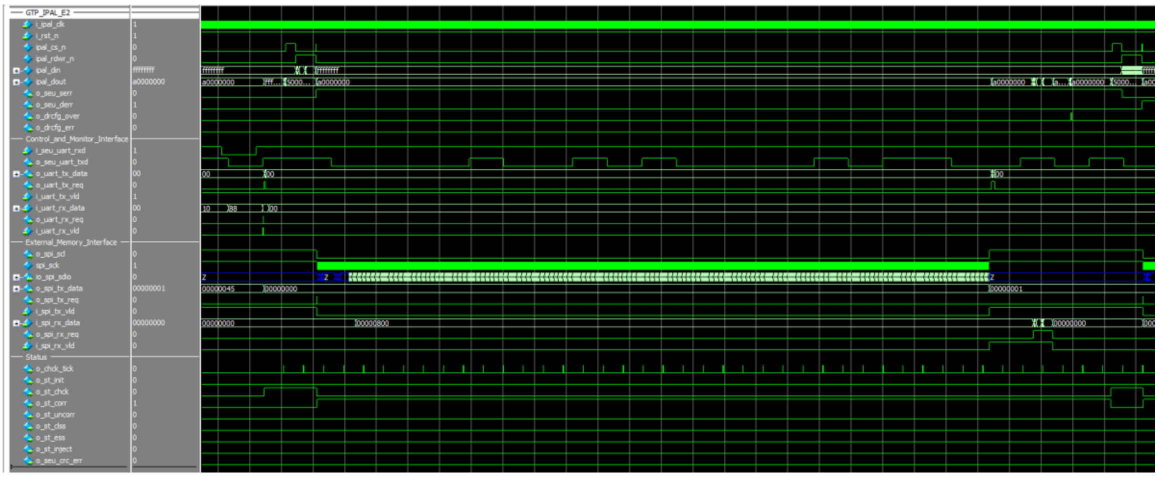


图 2-16 SEU 检错纠错波形图

2. 错误注入流程

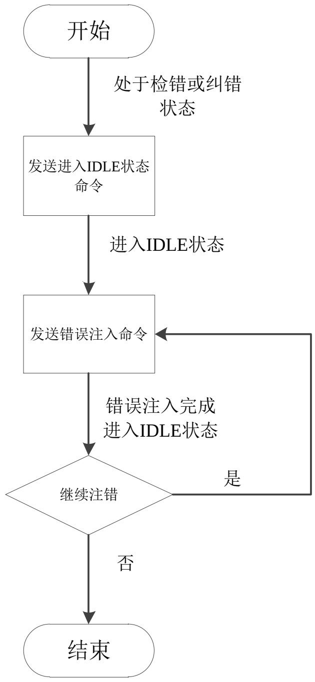


图 2-17 SEU 错误注入流程图

错误注入功能主要用于调试，可在 CRAM 的任意一帧的任意 Bit 注入单比特错误。如果需要注入多比特错误，则重复多次错误注入操作即可。

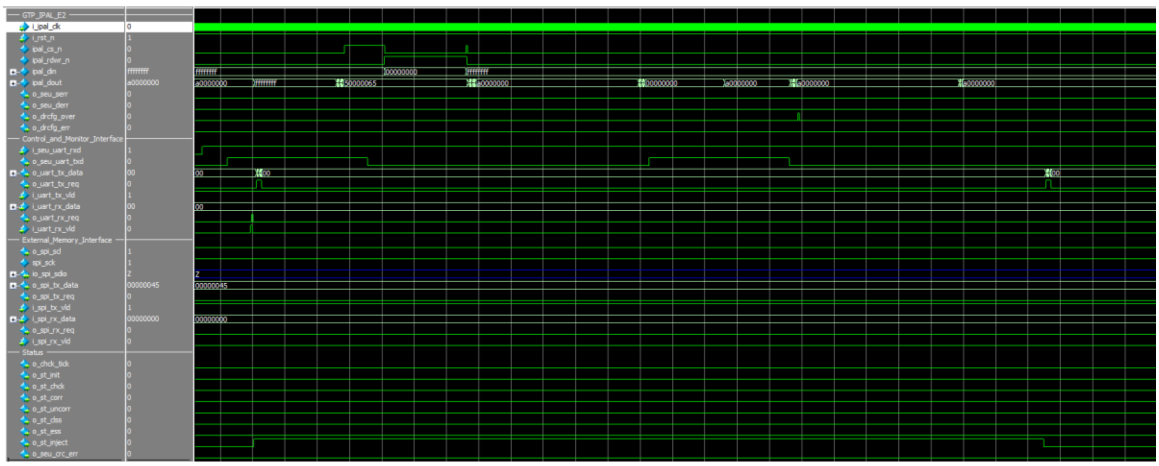


图 2-18 SEU 错误注入波形图

注意：

错误注入可能会引起工程不能正常工作。

2.8.8 错误注入指令地址举例

例如 PG2T390H 中有 7 个 Region，每个 Region 中有若干个 Column（不同 Region 中的 Column 数目可能不同），每个 Column 中有若干个 Frame（不同 Column 中的 Frame 数目可能不同），每个 Frame 中有 3232bit 数据。

如果我们向 region 2，column 16，frame 17 的 273bit 注入错误，则错误注入指令地址如下：

region address = 5’b00010;

column address = 8’b00010000;

frame address = 8’b00010001;

bit address = 12’b000100010001;

2.8.9 CRAM 地址范围说明

- 生成 SEU IP 时，在 IP 生成的文件夹下有描述对应器件 CRAM 地址空间的 txt 文件，文件名及相关内容说明参见表 2-29。不可在超过范围的地址注入错误。
- 错误地址注入后，会改变 CRAM 的 Bit 位值，如果此 Bit 正好与用户逻辑功能相关的话，会影响 IP 本身及用户逻辑功能。
- 若仅验证 IP 功能，可使用非功能位，非功能位在两个 txt 文件中有描述，非功能位不影响用户逻辑，有利于用户调试自己的控制逻辑。

表 2-29 CRAM 地址空间描述文件说明

文件名	内容说明
pg2l25h_cram_addr.txt	提供了 PG2L25H 完整的 CRAM 地址空间。
pg2l50h_cram_addr.txt	提供了 PG2L50H 完整的 CRAM 地址空间。
pg2l100h_cram_addr.txt	提供了 PG2L100H/PG2L100HX 完整的 CRAM 地址空间。
pg2l200h_cram_addr.txt	提供了 PG2L200H 完整的 CRAM 地址空间。
pg2t390h_cram_addr.txt	提供了 PG2T390H/PG2T390HX 完整的 CRAM 地址空间。

2.8.10 UART 接口说明

Example Design 中，控制和监控接口通过一个 2 线的 UART 接口与上位机连接，用户可根据实际情况修改设计，满足实际需求。

1. UART 接口配置

Example Design 中的 UART 接口符合 RS232 标准，支持的配置如下：

- 波特率：115200bps；
- 起始位：1bit；
- 数据位：8bit；
- 停止位：1bit；
- 校验位：不支持；
- 流控制：不支持。

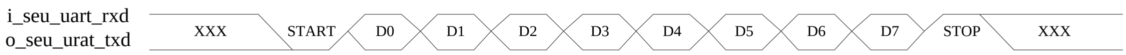


图 2-19 UART 接口典型时序

2. 更改波特率

客户可根据需要，通过更改 ips2l_seu_rs232_intf.v 模块的参数 CLK_DIV_P 来更改波特率，CLK_DIV_P 参数值计算方法如下：

$$\text{CLK_DIV_P} = \text{round}\left[\frac{\text{i_seu_clk frequency}}{6 \times \text{baud rate}}\right]$$

其中，round 表示将运算结果四舍五入取整数。

例如，i_seu_clk frequency 为 50M，baud rate 为 115200bps，则 CLK_DIV_P 计算如下：

$$\text{CLK_DIV_P} = \text{round}\left[\frac{50000000}{6 \times 115200}\right] = 72$$

说明：

客户如果需要更改除波特率之外的其他 UART 接口配置，可自行修改 ips2l_seu_rs232_intf.v 模块。

2.8.11 外部存储器仿真文件说明

在使用 Replace 功能仿真时，用户需要自行准备 Flash 模型，并放置在下述路径：\sim_lib\flash_model。

注意：

本 IP 不提供第三方 Flash 仿真模型，用户仿真需要自己适配接口时序。

2.8.12 可纠正与不可纠正的说明

可纠正和不可纠正的分类，仅在开启了纠错功能并设置纠错模式为 Repair 下生效，基于当前错误状态指示信号，进行分类处理。

SEU IP 在检错状态下的工作过程描述如下：

- SEU IP 在检错模式下开始工作后，会逐帧扫描 CRAM，直至退出到 IDLE 状态；
- 若检测到错误，会暂停扫描，并进行相应的纠错操作；
- 纠错操作完成后，会继续逐帧扫描 CRAM。

纠错完成后继续 CRAM 逐帧扫描的开始位置取决于纠错模式和校验模式设置，详细信息参见表 2-29。相关纠错操作信息请参见“2.8.5 4　纠错状态”、“2.8.6　纠错模式”。

表 2-30 继续 CRAM 逐帧扫描的开始位置说明

<table>
<tr><th>纠错模式</th><th colspan="2">校验模式</th><th>纠错完成后继续 CRAM 逐帧扫描的开始位置</th></tr>
<tr><td rowspan="5">Repair</td><td rowspan="2">ECC 校验</td><td>单比特 ECC</td><td>当前错误帧的下一帧。</td></tr>
<tr><td>多比特 ECC</td><td rowspan="4">在该纠错模式和校验模式下，检测到的错误为不可纠正错误，不会继续进行逐帧扫描，SEU IP 退出检错纠错状态进入 IDLE 状态。</td></tr>
<tr><td rowspan="3">CRC 校验</td><td>单帧</td></tr>
<tr><td>双帧</td></tr>
<tr><td>全 CRAM</td></tr>
<tr><td rowspan="5">Replace</td><td rowspan="2">ECC 校验</td><td>单比特 ECC</td><td rowspan="2">当前错误帧的下一帧。</td></tr>
<tr><td>多比特 ECC</td></tr>
<tr><td rowspan="3">CRC 校验</td><td>单帧</td><td rowspan="2">当前校验单元的下一校验单元。</td></tr>
<tr><td>双帧</td></tr>
<tr><td>全 CRAM</td><td>在该纠错模式和校验模式下，不会继续进行逐帧扫描，SEU IP 进入 IDLE 状态，等待用户手动重配 CRAM。</td></tr>
</table>

2.8.13 SEU IP 屏蔽帧使用说明

通过 IPC 生成用户指定的 SEU IP，以下说明以 Instance Name 为“user_seu”为例。

1. 针对 PG2T390H

(1) 屏蔽相关帧

- 在屏蔽相关帧的情况下，如果用户不需要扫描 LVDS 区域，则不需做任何修改，SEU 工作时将对未屏蔽的帧进行操作。
- 在屏蔽相关帧的情况下，如果用户需要扫描 LVDS 区域，则可以在 IP 例化的界面，勾选“Enable LVDS Scan”。

(2) 不屏蔽相关帧

- 如用户不需要屏蔽相关帧，则在 IP 生成目录找到 user_seu.v，打开该文件，搜索名为“FULL_SCAN_390H”的 localparam 参数。
- 手动将 localparam FULL_SCAN_390H = "FALSE"; 改为 localparam FULL_SCAN_390H = "TRUE"。

- 编译 PDS 工程，SEU 将会对片上所有帧进行操作。

2. 针对 PG2L100H

(1) 屏蔽相关帧

如用户需要屏蔽相关帧，则不需做任何修改，SEU 工作时将对未屏蔽的帧进行操作。

(2) 不屏蔽相关帧

- 如用户需要不屏蔽相关帧，则在 IP 生成目录找到 user_seu.v，打开该文件，搜索名为“FULL_SCAN_100H”的 localparam 参数。
- 手动将 localparam FULL_SCAN_100H = "FALSE"; 改为 localparam FULL_SCAN_100H = " TRUE"。
- 编译 PDS 工程，SEU 将会对片上所有帧进行操作。

2.9 IP 调试手段

2.9.1 关键指示信号

针对 SEU 运行过程中的一些关键信息，为方便观察做成了单比特指示信号，可以接到外部 LED 或用其他方式监控，可快速判断 SEU 的运行状态。关键指示信号说明参见表 2-31。

表 2-31 关键指示信号

端口	I/O	位宽	有效值	描述
o_chck_tick	O	1	高电平	心跳指示信号。 只在执行 SEU 错误检测时有效，每间隔 100 个 i_seu_clk 时钟周期产生一个时钟周期的高电平脉冲。
o_st_init	O	1	高电平	初始化过程指示信号。 0：SEU IP 不在初始化状态； 1：SEU IP 正在执行初始化。
o_st_chck	O	1	高电平	SEU 错误检测过程指示信号。 0：SEU IP 没有处在错误检测状态； 1：SEU IP 正在执行错误检测。

端口	I/O	位宽	有效值	描述
o_st_corr	O	1	高电平	纠错过程指示信号。 0：SEU IP 没有处在纠错状态； 1：SEU IP 正在执行纠错。
o_st_inject	O	1	高电平	错误注入过程指示信号。 0：SEU IP 没有处在错误注入状态； 1：SEU IP 正在执行错误注入操作。
o_st_uncorr	O	1	高电平	错误纠正状态指示信号。 0：错误可纠正； 1：错误不可纠正。 错误检测过程结束时，该信号状态根据实际情况变化。

2.9.2 Debug 信号

针对其它一些用于调试需要的内部状态读取，可以通过 Debug Core 抓取相关 Debug 信号，监控 SEU 的工作状态。Debug 接口信号参见表 2-15。

第3章 附录

3.1 参考文档

[1] Pango_Design_Suite_Quick_Start_Tutorial

[2] Pango_Design_Suite_User_Guide

[3] IP_Compiler_User_Guide

[4] Simulation_User_Guide

[5] User_Constraint_Editor_User_Guide

[6] Physical_Constraint_Editor_User_Guide

[7] Route_Constraint_Editor_User_Guide

3.2 术语表

C

CCS　Configuration Controller System

CRAM　Configuration Random Access Memory

D

DRM　Dedicated RAM Module

I

IPAL　内部从并行接口

R

RAM　Random Access Memory

S

SEU　　Single Event Upsets

T

TLR　　Test Logic Reset

3.3 缩略语表

I

IPC　　IP Compiler

P

PDS　　Pango Design Suite

3.4 声明

3.4.1 版权声明

3.4.2 免责声明

本文档仅提供阶段性信息，所含内容可根据产品的实际情况随时更新，恕不另行通知。如因本文档使用不当造成的直接或间接损失，本公司不承担任何法律责任。

本文档按现状提供，不负任何担保责任，包括对适销性、适用于特定用途或非侵权性的任何担保，和任何提案、规格或样品在他处提到的任何担保。本文档在此未以禁止反言或其他方式授予任何知识产权使用许可，不管是明示许可还是暗示许可。

公司保留任何时候在不事先声明的情况下对公司系列产品相关文档的修改权利。